

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Kazuhiko OKAWA et al.

Application No.: 09/866,800

Filed: May 30, 2001

Docket No.: 109657

For: SEMICONDUCTOR DEVICE HAVING ELECTROSTATIC PROTECTION CIRCUIT
AND METHOD OF FABRICATING THE SAME



CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-163021 filed May 31, 2000

In support of this claim, a certified copy of said original foreign application:

 X is filed herewith.

 was filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/cmm
Date: September 26, 2001

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 5月31日

出 願 番 号

Application Number:

特願2000-163021

出 願 人

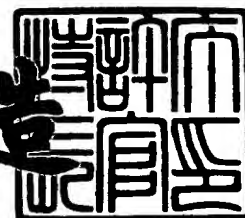
Applicant(s):

セイコーエプソン株式会社

2001年 5月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3044546

【書類名】 特許願

【整理番号】 EP-0154501

【提出日】 平成12年 5月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/784
H01L 27/088

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 大川 和彦

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 斎木 隆行

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

【弁理士】

【氏名又は名称】 大 瀧 美 千 栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 静電気保護回路が内蔵された半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成されて、第 1 の拡散領域を有する MOS トランジスタと、

前記 MOS トランジスタを前記半導体基板上の他の MOS トランジスタと素子分離する第 1 の素子分離領域と、

前記 N 型 MOS トランジスタと前記第 1 の素子分離領域との間に形成された第 2 の素子分離領域と、

前記第 1, 第 2 の素子分離領域を除いて前記半導体基板表面に形成されたシリサイド層と、

前記第 2 の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第 2 の拡散領域と、

前記第 2 の素子分離領域の近傍にて前記第 1 の拡散領域の深い位置側に形成されて、前記 MOS トランジスタの前記第 1 の拡散領域と共に P/N 接合によるツェナーダイオードを構成する第 3 の拡散領域と、

を有することを特徴とする半導体装置。

【請求項 2】 請求項 1 において、

前記第 3 の拡散領域の不純物濃度は、前記ツェナーダイオードのブレイクダウン開始電圧を、前記 MOS トランジスタのブレイクダウン開始電圧より低く設定する値であることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 において、

前記第 1, 第 2 の拡散領域は N 型拡散領域であり、前記半導体基板には P 型ウェルが形成されることで、NPN ラテラルバイポーラトランジスタが形成され、前記第 1 の拡散領域を有する前記 MOS トランジスタは、パッドの電位を LOW 電位に設定する N 型 MOS トランジスタであり、前記第 1 の拡散領域と接合されて前記ツェナーダイオードを形成する前記第 3 の拡散領域を P 型拡散領域とした

ことを特徴とする半導体装置。

【請求項 4】 請求項 1 または 2 において、

前記第 1, 第 2 の拡散領域は P 型拡散領域であり、前記半導体基板には N 型ウェルが形成されることで、PNP ラテラルバイポーラトランジスタが形成され、前記第 1 の拡散領域を有する前記 MOS トランジスタは、パッドの電位を HIGH 電位に設定する P 型 MOS トランジスタであり、前記第 1 の拡散領域と接合されて前記ツェナーダイオードを形成する前記第 3 の拡散領域を N 型拡散領域としたことを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、

前記シリサイド層と前記第 3 の拡散領域との間に、前記シリサイド層と共にショットキーダイオードを形成する第 4 の拡散領域をさらに有することを特徴とする半導体装置。

【請求項 6】 請求項 3 において、

前記シリサイド層と前記第 3 の拡散領域との間に、第 4 及び第 5 の拡散領域をさらに有し、前記第 3、第 4 及び第 5 の拡散領域にて PNP バイポーラトランジスタを構成したことを特徴とする半導体装置。

【請求項 7】 請求項 4 において、

前記シリサイド層と前記第 3 の拡散領域との間に、第 4 及び第 5 の拡散領域をさらに有し、前記第 3、第 4 及び第 5 の拡散領域にて NPN バイポーラトランジスタを構成したことを特徴とする半導体装置。

【請求項 8】 半導体基板上に形成されるべき MOS トランジスタを他の MOS トランジスタと素子分離する第 1 の素子分離領域を形成する工程と、

前記 MOS トランジスタ形成位置と前記第 1 の素子分離領域との間に第 2 の素子分離領域を形成する工程と、

前記半導体基板中に P 型ウェル及び N 型ウェルを形成する工程と、

前記半導体基板の前記 P 型ウェル及び前記 N 型ウェルに亘る領域に前記 MOS トランジスタの第 1 の拡散領域を形成する工程と、

前記第 2 の素子分離領域により隔離された領域にて、前記半導体基板の前記 P 型ウェル及び前記 N 型ウェルのいずれか一方と共にラテラルバイポーラランジ

スタを構成する第 2 の拡散領域を形成する工程と、

前記第 2 の素子分離領域の近傍にて、前記 MOS トランジスタの前記第 1 の拡散領域と共に P / N 接合によるツェナーダイオードを構成する第 3 の拡散領域を、前記第 1 の拡散領域の深い位置側に形成する工程と、

前記第 1、第 2 の素子分離領域を除いて、前記半導体基板表面にシリサイド層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 において、

前記第 3 の拡散領域の不純物濃度は、前記ツェナーダイオードのブレイクダウン開始電圧を、前記 MOS トランジスタのブレイクダウン開始電圧より低く設定する値であることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 8 または 9 において、

前記シリサイド層と前記第 3 の拡散領域との間に、前記シリサイド層と共にショートツキーダイオードを構成する第 4 の拡散領域を形成する工程をさらに有することを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 10 において、

前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第 3 及び第 4 の拡散領域をそれぞれ形成することを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 8 乃至 11 のいずれかにおいて、

前記第 1、第 2 の拡散領域は N 型拡散領域であり、この 2 つの N 型拡散領域と前記半導体基板に形成された前記 P 型ウェルとで NPN ラテラルバイポーラトランジスタが形成され、前記第 1 の拡散領域を有する前記 MOS トランジスタは、パッドの電位を LOW 電位に設定する N 型 MOS トランジスタであり、前記第 1 の拡散領域と接合されて前記ツェナーダイオードを形成する前記第 3 の拡散領域を P 型拡散領域としたことを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 12 において、

前記シリサイド層と前記第 3 の拡散領域との間に、第 4 及び第 5 の拡散領域を形成する工程をさらに有し、前記第 3、第 4 及び第 5 の拡散領域にて PNP バイ

ポーラトランジスタを構成したことを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 2 または 1 3 において、

前記パッドの電位を HIGH 電位に設定する P 型 MOS トランジスタがさらに設けられ、前記 P 型 MOS トランジスタのドレインと前記パッドとの間に接続される拡散抵抗が設けられ、前記拡散抵抗を前記第 3 の拡散領域の形成工程と同一工程にて形成したことを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 8 乃至 1 1 のいずれかにおいて、

前記第 1、第 2 の拡散領域は P 型拡散領域であり、この 2 つの P 型拡散領域と前記半導体基板に形成された前記 N 型ウェルとで PNP ラテラルバイポーラトランジスタが形成され、前記第 1 の拡散領域を有する前記 MOS トランジスタは、パッドの電位を HIGH 電位に設定する P 型 MOS トランジスタであり、前記第 1 の拡散領域と接合されて前記ツェナーダイオードを形成する前記第 3 の拡散領域を N 型拡散領域としたことを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 1 5 において、

前記シリサイド層と前記第 3 の拡散領域との間に、第 4 及び第 5 の拡散領域を形成する工程をさらに有し、前記第 3、第 4 及び第 5 の拡散領域にて NPN バイポーラトランジスタを構成したことを特徴とする半導体装置の製造方法。

【請求項 1 7】 請求項 1 5 または 1 6 において、

前記パッドの電位を LOW 電位に設定する N 型 MOS トランジスタがさらに設けられ、前記 N 型 MOS トランジスタのドレインと前記パッドとの間に接続される拡散抵抗が設けられ、前記拡散抵抗を前記第 3 の拡散領域の形成工程と同一工程にて形成したことを特徴とする半導体装置の製造方法。

【請求項 1 8】 請求項 1 3 または 1 6 において、

前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第 3、第 4 及び第 5 の拡散領域をそれぞれ形成することを特徴とする半導体装置の製造方法。

【請求項 1 9】 半導体基板と、

前記半導体基板上に形成されて、第 1 の拡散領域を有する MOS トランジスタと、

前記MOSトランジスタを前記半導体基板上の他のMOSトランジスタと素子分離する第1の素子分離領域と、

前記MOSトランジスタと前記第1の素子分離領域との間に形成された第2の素子分離領域と、

前記第2の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第2の拡散領域と、

前記第2の素子分離領域と前記第1の拡散領域との間の前記半導体基板の表面付近に形成されて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域と、

前記第1、第2の素子分離領域と前記前記第1、第3の拡散領域の接合領域とを除いて前記半導体基板表面に形成されたシリサイド層と、

を有することを特徴とする半導体装置。

【請求項20】 請求項19において、

前記第3の拡散領域の不純物濃度は、前記ツェナーダイオードのブレイクダウン開始電圧を、前記MOSトランジスタのブレイクダウン開始電圧より低く設定する値であることを特徴とする半導体装置。

【請求項21】 請求項20において、

前記第1、第2の拡散領域はN型拡散領域であり、前記半導体基板にはP型ウェルが形成されることで、NPNラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をLOW電位に設定するN型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をP型拡散領域としたことを特徴とする半導体装置。

【請求項22】 請求項20または21において、

前記第1、第2の拡散領域はP型拡散領域であり、前記半導体基板にはN型ウェルが形成されることで、PNPラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をHIGH電位に設定するP型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をN型拡散領域とし

たことを特徴とする半導体装置。

【請求項 2 3】 半導体基板上に形成されるべき MOS トランジスタを他の MOS トランジスタと素子分離する第 1 の素子分離領域を形成する工程と、

前記 MOS トランジスタ形成位置と前記第 1 の素子分離領域との間に第 2 の素子分離領域を形成する工程と、

前記半導体基板中に P 型ウェル及び N 型ウェルを形成する工程と、

前記半導体基板の前記 P 型ウェル、N 型ウェル及び P 型ウェルに亘る領域に前記 MOS トランジスタの第 1 の拡散領域を形成する工程と、

前記第 2 の素子分離領域により隔離された領域にて、前記半導体基板の前記 P 型ウェル及び前記 N 型ウェルの一方と共にラテラルバイポーラトランジスタを構成する第 2 の拡散領域を形成する工程と、

前記第 2 の素子分離領域と前記第 1 の拡散領域との間にて、前記 MOS トランジスタの前記第 1 の拡散領域と共に P/N 接合によるツェナーダイオードを構成する第 3 の拡散領域を、前記半導体基板の表面付近に形成する工程と、

前記第 1, 第 2 の素子分離領域と前記第 1, 第 3 の拡散領域の接合領域とを除いて、前記半導体基板表面にシリサイド層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、静電気保護回路が内蔵された半導体装置及びその製造方法に関する

【0 0 0 2】

【背景技術】

静電気破壊現象の主たる原因は、放電時に P/N 接合において発熱し、それによりシリコンが溶解したり、金属電極の金属がシリコン基板中に入り込むコンタクトスパイクが生ずることにある。従来の静電気対策は、この点を考慮して実施されていた。

【0 0 0 3】

その後、デバイスの微細化に伴い、 $0.35\mu\text{m}$ 以降の微細化プロセスでは、ソース／ドレイン拡散層を実効的に低抵抗化するために、拡散層上に高融点金属シリサイド層を形成するシリサイド技術が取り入れられたシリサイドトランジスタが開発された（特開平7-273197、特開平7-106570、特開平7-94595、特開平5-136086、特開平3-234062など）。

【0004】

また、ゲート酸化膜の膜厚について考察すれば、電源電圧が5Vのデバイスでは135オングストロームであったが、電源電圧の低下とともに薄膜化する傾向にある。例えば、 $0.35\mu\text{m}$ プロセスでは3.3Vのデバイスでゲート酸化膜の膜厚は70オングストロームとなり、 $0.25\mu\text{m}$ プロセスでは2.5Vのデバイスでゲート酸化膜の膜厚は50オングストローム程度となり、静電気保護回路を設計する上で非常に大きな障害となっている。

【0005】

ここで、入／出力端子から注入された静電気の電荷を電源端子を介して放電させる際には、入／出力端子と電源端子との間に介在する放電素子（MOSトランジスタなど）のジャンクション上にシリサイド層が存在する場合、非常に低い印加電圧でその放電素子が破壊することがわかっている。

【0006】

剥離解析結果から考えられる破壊原因は、MOSトランジスタのゲート電極近傍にノッチ状の電流の流れた痕跡があったことから、そこに局所的に電流集中が発生したためと思われる。

【0007】

局所的に電流集中が発生し易い理由として、シリサイド技術による拡散層の低抵抗化が挙げられる。N型MOSトランジスタの逆方向電圧印加の場合、パッドから注入された電荷は、ドレイン上のコンタクトから拡散層に注入され、チャネル領域とのジャンクションでアバランシェ降伏（電子なだれ）を引き起こす。そして、基板内に流れ出した電荷により、ソース電位（グランド電位）と基板電位との間に、ダイオードの順方向電流が流れるのに必要な電位差が生じ、ドレインーチャネルーソースで形成されるバイポーラトランジスタが作動し、電圧をクラ

ンプした状態で放電される。

【0008】

ここで、放電の様子を図32及び図33を参照して説明する。各図は、ドレイン10、ドレイン10上のコンタクト12、ゲート14、ソース16及びソース16上のコンタクト18を有するN型MOSトランジスタの平面図である。

【0009】

拡散層上にシリサイド層を持たない場合には、拡散抵抗が大きいため、図32に示すように、ドレイン上10のコンタクト12からゲート14に向けて、一点に集中することなく均一な放電が行われる。

【0010】

これに対して、シリサイド層が拡散層上にある場合には、図33に示すようにホットスポット20が生じた際に、ドレイン10上の全てのコンタクト12からホットスポット20の一点に向けて電流が集中して流れる。従って、印加電圧が低い場合においても電流集中が発生し易く、破壊が生じてしまう。

【0011】

さらに、ジャンクションエッジの状態についても、ジャンクション近傍でのシリサイド層の形成状態がフラットになり得ず、突起状のシリサイドが存在する。この部分には電流集中が起き易く、ホットスポットが発生し易い。

【0012】

これらの2つの理由により、放電素子のジャンクション上にシリサイド層が存在する場合に、静電気（ESD）耐圧が低下すると考えられる。

【0013】

そこで、放電素子上のシリサイド層を部分的に取り除くプロテクション工程を追加した技術が開発された（特開平2-271673など）。

【0014】

【発明が解決しようとする課題】

ところが、プロテクション工程を採用する場合には、下記の2つの問題が生ずる。

【0015】

一つは、ゲートとソース／ドレイン間のリークが発生する可能性があることである。プロテクション工程では、ソース／ドレイン領域の形成後、全面に酸化膜を形成し、シリサイドを形成しない部分のみを残して酸化膜をエッチングしている。このエッチング時に、ゲートの側面に既に形成されていた側壁絶縁膜も削れてしまうので、上記のリークが発生し易くなる。

【 0 0 1 6 】

他の一つは、トランジスタの高速動作が期待できないことである。ゲート電極及び拡散領域上に共にシリサイド層を形成するフル・シリサイド・プロセスでは、ゲート電極上にはシリサイド層を形成し、ドレインジャンクション近傍にはシリサイド層を形成しないといった構造は採用できない。従って、ドレインジャンクション近傍にシリサイド層が形成されないようにすると、ゲート電極上にもシリサイド層が形成されない領域が生じ、シート抵抗が $K \Omega$ オーダとなるため、高速動作が期待できなくなる。

【 0 0 1 7 】

そこで、本発明の目的は、低抵抗のシリサイド層を通過してホットスポットに電流集中することを回避できる静電気保護回路が内蔵された半導体装置及びその製造方法を提供することにある。

【 0 0 1 8 】

本発明の他の目的は、十分な静電気保護対策を施しながら、高速動作を可能とする静電気保護回路が内蔵された半導体装置及びその製造方法を提供することにある。

【 0 0 1 9 】

本発明のさらに他の目的は、シリサイド層を部分的に除去するプロテクション工程を実施せずに静電気保護回路を構成できる半導体装置及びその製造方法を提供することにある。

【 0 0 2 0 】

【課題を解決するための手段】

本発明の一態様に係る半導体装置は、
半導体基板と、

前記半導体基板上に形成されて、第 1 の拡散領域を有する MOS トランジスタと、

前記 MOS トランジスタを前記半導体基板上の他の MOS トランジスタと素子分離する第 1 の素子分離領域と、

前記 N 型 MOS トランジスタと前記第 1 の素子分離領域との間に形成された第 2 の素子分離領域と、

前記第 1、第 2 の素子分離領域を除いて前記半導体基板表面に形成されたシリサイド層と、

前記第 2 の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第 2 の拡散領域と、

前記第 2 の素子分離領域の近傍にて前記第 1 の拡散領域の深い位置側に形成されて、前記 MOS トランジスタの前記第 1 の拡散領域と共に P/N 接合によるツェナーダイオードを構成する第 3 の拡散領域と、

を有することを特徴とする。

【 0 0 2 1 】

本発明の一態様によれば、MOS トランジスタの静電気保護回路として、ラテラルバイポーラトランジスタが放電素子として機能する。すなわち、MOS トランジスタの第 1 の拡散領域を介して注入された静電気の電荷は、ラテラルバイポーラトランジスタを介して放電される。この際、MOS トランジスタが放電経路として機能することを回避するために、ツェナーダイオードを設ける構成とした。このツェナーダイオードは、等価回路上、ラテラルバイポーラトランジスタのコレクタとベースとの間に挿入接続される。このツェナーダイオードの逆方向特性を利用して、コレクタとベースとの間のジャンクション耐圧を低下させて、放電経路の制御を行うようにした。

【 0 0 2 2 】

このとき、MOS トランジスタ側には例えば第 1 の拡散領域中に高抵抗を設けることなどの対策が不要であるので、MOS トランジスタの高速動作が可能となる。

【 0 0 2 3 】

さらに、ツェナーダイオードは、半導体基板表面より比較的深い位置に形成されるので、第1の拡散領域に注入される電荷は、その表面の低抵抗のシリサイド層の表面を流れることが少なくなる。

【 0 0 2 4 】

この理由により、第1の拡散領域の電荷注入位置と第2の素子分離領域との間でシリサイド層を部分的に除去するプロテクション工程を実施する必要はない。

【 0 0 2 5 】

本発明の一態様においては、前記第3の拡散領域の不純物濃度は、前記ツェナーダイオードのブレイクダウン開始電圧を、前記MOSトランジスタのブレイクダウン開始電圧より低く設定する値とすることができる。

【 0 0 2 6 】

こうすると、MOSトランジスタにてブレイクダウンが生ずる前に、ツェナーダイオードにて電流を流して、ラテラルバイポーラトランジスタをオンさせて放電経路を確保できる。さらに、静電気に起因して比較的高い電圧が印加されたとしても、ツェナーダイオードにてブレイクダウンを開始させて、ラテラルバイポーラトランジスタのコレクタとベースとの間のジャンクション耐圧を低下させることができる。

【 0 0 2 7 】

本発明の一態様において、前記第1、第2の拡散領域はN型拡散領域であり、前記半導体基板にはP型ウェルが形成されることで、NPNラテラルバイポーラトランジスタが形成され、前記第1の拡散領域を有する前記MOSトランジスタは、パッドの電位をLOW電位に設定するN型MOSトランジスタであり、前記第1の拡散領域と接合されて前記ツェナーダイオードを形成する前記第3の拡散領域をP型拡散領域とすることができる。

【 0 0 2 8 】

こうすると、ツェナーダイオードをトリガとしてNPNラテラルバイポーラトランジスタを上記の通り動作させることで、N型MOSトランジスタを保護することができる。

【 0 0 2 9 】

あるいは、前記第 1，第 2 の拡散領域は P 型拡散領域であり、前記半導体基板には N 型ウェルが形成されることで、PNP ラテラルバイポーラトランジスタが形成され、前記第 1 の拡散領域を有する前記 MOS トランジスタは、パッドの電位を HIGH 電位に設定する P 型 MOS トランジスタであり、前記第 1 の拡散領域と接合されて前記ツェナーダイオードを形成する前記第 3 の拡散領域を N 型拡散領域とすることができる。

【 0 0 3 0 】

こうすると、ツェナーダイオードをトリガとして PNP ラテラルバイポーラトランジスタを上記の通り動作させることで、P 型 MOS トランジスタを保護することができる。

【 0 0 3 1 】

本発明の一態様において、前記シリサイド層と前記第 3 の拡散領域との間に、前記シリサイド層と共にショートツキダイオードを形成する第 4 の拡散領域をさらに有することができる。

【 0 0 3 2 】

このようにショートツキダイオードが形成されることで、シリサイド層表面を通過する電荷はより少なくなり、シリサイド層を流れることで生ずる電流集中を防止できる。

【 0 0 3 3 】

さらに、本発明の一態様において、前記第 3 の拡散領域が N 型拡散領域である場合には、前記シリサイド層と前記第 3 の拡散領域との間に、第 4 及び第 5 の拡散領域をさらに設け、前記第 3、第 4 及び第 5 の拡散領域にて PNP バイポーラトランジスタを構成することができる。

【 0 0 3 4 】

このように PNP バイポーラトランジスタを構成することで、シリサイド層を流れることで生ずる電流集中をより確実に防止できる。

【 0 0 3 5 】

あるいは、本発明の一態様において、前記第 3 の拡散領域が P 型拡散領域である場合には、前記シリサイド層と前記第 3 の拡散領域との間に、第 4 及び第 5 の

拡散領域をさらに有し、前記第 3、第 4 及び第 5 の拡散領域にて NPN バイポーラトランジスタを構成することができる。

【 0 0 3 6 】

このように NPN バイポーラトランジスタを構成することで、シリサイド層を流れることで生ずる電流集中をより確実に防止できる。

【 0 0 3 7 】

なお、本発明の一態様においては、半導体基板がトリプルウェル構造を有していれば、この半導体基板上に形成される N 型 MOS トランジスタと P 型 MOS トランジスタとの双方にそれぞれ、ラテラルバイポーラトランジスタとツェナーダイオードとを有する保護回路を独立して形成することができる。

【 0 0 3 8 】

ただし、N 型 MOS トランジスタにのみ上述の保護回路を設けた場合には、P 型 MOS トランジスタのドレインとパッドとの間に拡散抵抗を配置して、P 型 MOS トランジスタを放電経路としないように対策することができる。この場合、この拡散抵抗を第 3 の拡散領域の形成工程と同一工程にて形成することが好ましい。静電気保護対策に伴う製造コストの上昇を抑えることができるからである。

【 0 0 3 9 】

同様に、P 型 MOS トランジスタにのみ上述の保護回路を設けた場合には、N 型 MOS トランジスタのドレインとパッドとの間に拡散抵抗を配置して、N 型 MOS トランジスタを放電経路としないように対策することができる。この場合にも、この拡散抵抗を第 3 の拡散領域の形成工程と同一工程にて形成することが好ましい。静電気保護対策に伴う製造コストの上昇を抑えることができるからである。

【 0 0 4 0 】

本発明の他の態様に係る半導体装置の製造方法は、

半導体基板上に形成されるべき MOS トランジスタを他の MOS トランジスタと素子分離する第 1 の素子分離領域を形成する工程と、

前記 MOS トランジスタ形成位置と前記第 1 の素子分離領域との間に第 2 の素子分離領域を形成する工程と、

前記半導体基板中に P 型ウェル及び N 型ウェルを形成する工程と、

前記半導体基板の前記 P 型ウェル及び前記 N 型ウェルに亘る領域に前記 MOS トランジスタの第 1 の拡散領域を形成する工程と、

前記第 2 の素子分離領域により隔離された領域にて、前記半導体基板の前記 P 型ウェル及び前記 N 型ウェルのいずれか一方と共にラテラルバイポーラトランジスタを構成する第 2 の拡散領域を形成する工程と、

前記第 2 の素子分離領域の近傍にて、前記 MOS トランジスタの前記第 1 の拡散領域と共に P/N 接合によるツェナーダイオードを構成する第 3 の拡散領域を、前記第 1 の拡散領域の深い位置側に形成する工程と、

前記第 1, 第 2 の素子分離領域を除いて、前記半導体基板表面にシリサイド層を形成する工程と、

を有することを特徴とする。

【 0 0 4 1 】

この製造方法により、本発明の一態様に係る半導体装置を好適に製造できる。ここで、第 1, 第 2 の素子分離領域は同時に形成しても良い。また、第 1, 第 2 の拡散領域も同時に形成することができる。

【 0 0 4 2 】

この製造にあたって、上述した本発明の一態様と同様に第 3 の拡散領域の不純物濃度を設定することができる。

【 0 0 4 3 】

また、本発明の他の態様においても、前記シリサイド層と前記第 3 の拡散領域との間に、前記シリサイド層と共にショットキーダイオードを構成する第 4 の拡散領域を形成する工程をさらに有することができる。この場合、前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第 3 及び第 4 の拡散領域をそれぞれ形成することが好ましい。

【 0 0 4 4 】

静電気保護対策は半導体装置の付加的価値を高めるものであるもので、マスクを共用することで、静電気保護対策に伴う製造コストの上昇を抑えることができる。

【 0 0 4 5 】

さらに、本発明の他の態様においても、前記シリサイド層と前記第 3 の拡散領域との間に、第 4 及び第 5 の拡散領域を形成する工程をさらに有し、前記第 3、第 4 及び第 5 の拡散領域にてバイポーラトランジスタを構成することができる。この場合にも、前記半導体基板上にマスクを形成し、前記マスクを兼用して不純物をドーピングすることで、前記第 3、第 4 及び第 5 の拡散領域をそれぞれ形成することが好ましい。静電気保護対策に伴う製造コストの上昇を抑えることができるからである。

【 0 0 4 6 】

本発明のさらに他の態様に係る半導体装置は、

半導体基板と、

前記半導体基板上に形成されて、第 1 の拡散領域を有する MOS トランジスタと、

前記 MOS トランジスタを前記半導体基板上の他の MOS トランジスタと素子分離する第 1 の素子分離領域と、

前記 MOS トランジスタと前記第 1 の素子分離領域との間に形成された第 2 の素子分離領域と、

前記第 2 の素子分離領域により隔離された領域に形成されて、前記半導体基板のウェルと共にラテラルバイポーラトランジスタを構成する第 2 の拡散領域と、

前記第 2 の素子分離領域と前記第 1 の拡散領域との間の前記半導体基板の表面付近に形成されて、前記 MOS トランジスタの前記第 1 の拡散領域と共に P/N 接合によるツェナーダイオードを構成する第 3 の拡散領域と、

前記第 1、第 2 の素子分離領域と前記前記第 1、第 3 の拡散領域の接合領域とを除いて前記半導体基板表面に形成されたシリサイド層と、

を有することを特徴とする。

【 0 0 4 7 】

この半導体装置が、本発明の一態様に係る半導体装置と相違する点は、第 3 の拡散領域が半導体基板の表面付近に形成されていることから、第 1、第 3 の拡散領域の接合領域表面のシリサイド層を除去したことである。こうして、ラテラル

バイポーラトランジスタを放電素子として利用すると共に、ジャンクションエッジでの電流集中を回避している。

【 0 0 4 8 】

この本発明のさらに他の態様に係る半導体装置においても、上述した本発明の一態様に係る種々の実施形態を適用することができる。

【 0 0 4 9 】

本発明のさらに他の形態に係る半導体装置の製造方法は、

半導体基板上に形成されるべきMOSトランジスタを他のMOSトランジスタと素子分離する第1の素子分離領域を形成する工程と、

前記MOSトランジスタ形成位置と前記第1の素子分離領域との間に第2の素子分離領域を形成する工程と、

前記半導体基板中にP型ウェル及びN型ウェルを形成する工程と、

前記半導体基板の前記P型ウェル、N型ウェル及びP型ウェルに亘る領域に前記MOSトランジスタの第1の拡散領域を形成する工程と、

前記第2の素子分離領域により隔離された領域にて、前記半導体基板の前記P型ウェル及び前記N型ウェルの一方と共にラテラルバイポーラトランジスタを構成する第2の拡散領域を形成する工程と、

前記第2の素子分離領域と前記第1の拡散領域との間にて、前記MOSトランジスタの前記第1の拡散領域と共にP/N接合によるツェナーダイオードを構成する第3の拡散領域を、前記半導体基板の表面付近に形成する工程と、

前記第1、第2の素子分離領域と前記第1、第3の拡散領域の接合領域とを除いて、前記半導体基板表面にシリサイド層を形成する工程と、

を有することを特徴とする。

【 0 0 5 0 】

この方法により、上述の半導体装置を好適に製造することができる。

【 0 0 5 1 】

【発明の実施の形態】

以下、本発明を適用した半導体装置の各種の実施の形態について、図面を参照して説明する。

【0052】

(第1の実施の形態)

(1) N型MOSトランジスタ及びその静電気保護回路の構成

図1は、N型MOSトランジスタ及びその静電気保護回路の断面構造を示している。図1において、シリコン基板100にはN型MOSトランジスタ110が形成されている。このN型MOSトランジスタ110は、 N^+ ソース112と、 N^+ ドレイン114（第1の拡散領域）と、その間のP型WELLのチャネル116と、チャネル116とゲート酸化膜117を介して対向するゲート118とを有する。ゲート118の側壁には側壁絶縁膜120が形成されている。また、ソース112、ドレイン114及びゲート118上にはシリサイド層130が形成され、N型MOSトランジスタ110はサリサイドトランジスタとして構成されている。また、図1では、ドレイン114に接続されるコンタクト115がパッド170に接続された状態が図示されている。

【0053】

図1では、トランジスタ同士を分離する図示しない第1の素子分離領域の他に、第1の素子分離領域と同様にしてLOCOS法により形成される2つの第2の素子分離領域140、142が設けられている。2つの第2の素子分離領域140、142間には N^+ 領域154が形成され、この N^+ 領域154と第2の素子分離領域142にて分離された領域に、半導体基板のP型ウェルに接続された P^+ 領域156が形成され、これらを第2の拡散領域と称する。

【0054】

ドレイン114と第2の素子分離領域140との間には、シリコン基板100の深さ方向にて順に、例えば質量数31のリン(P)がイオンドーピングされたリン拡散領域 P^{31+} （第4の拡散領域）と、質量数11のボロン(B)がイオンドーピングされたボロン拡散領域 B^{11+} （第3の拡散領域）が形成されている。 B^{11+} 拡散領域は、ドレイン114の深い位置にて、ドレイン114とP/N接合されている。

【0055】

そして、ドレイン114と同じ N^+ 拡散領域に形成されるコレクタ152と、

N^+ 領域154にて形成されるエミッタ（以下、エミッタ154とも称する）と、P型ウェルに接続された P^+ 領域156にて形成されるベース（以下、ベース156とも称する）とにより、NPNラテラルバイポーラトランジスタ150が形成される。図1では、エミッタ154に接続されるコンタクト158と、ベース156に接続されるコンタクト159とが図示され、どちらも接地されている。

【0056】

また、図1のN型拡散領域であるドレイン114（コレクタ152）と、P型拡散領域である B^{11+} 拡散領域とのP/N接合にて、ツェナーダイオード160が形成される。

【0057】

図1に示す半導体構造により構成される等価回路を図2に示す。図2には、N型MOSトランジスタ110、NPNラテラルバイポーラトランジスタ150、ツェナーダイオード160及びパッド170の他、N型MOSトランジスタ110と対で形成されるP型MOSトランジスタ180と、抵抗190とが示されている。図2に示す抵抗190は、図1のエミッタ154の下層のP型WELLにて構成される。

【0058】

なお、N型MOSトランジスタ110はパッド170の電位をLOW（VSS）電位に設定するものであり、P型MOSトランジスタ180はパッド170の電位をHIGH（VDD）電位に設定するものである。

【0059】

（2）N型MOSトランジスタの静電気保護回路の動作説明

図1及び図2に示すN型MOSトランジスタ110の静電気保護回路では、NPNラテラルバイポーラトランジスタ150が放電素子として機能する。すなわち、パッド170より注入された静電気の電荷は、ドレイン114→NPNラテラルバイポーラトランジスタ150のコレクタ152→NPNラテラルバイポーラトランジスタ150のエミッタ154→コンタクト158→グランドと流れて放電される。

【0060】

この際、図2に示すように、パッド170に対して、N型MOSトランジスタ110とNPNラテラルバイポーラトランジスタ150とが並列に接続されるので、N型MOSトランジスタ110に向かう放電経路を遮断する必要がある。

【0061】

このために、図1、図2に示すように、NPNラテラルバイポーラトランジスタ150のコレクタ152とベース156との間に、ツェナーダイオード160を挿入接続し、コレクタ152とベース156との間のジャンクション耐圧を低下させて、放電経路の制御を行うようにした。

【0062】

図3は、MOSトランジスタ110と、ツェナーダイオード160をトリガとしたNPNラテラルバイポーラトランジスタ150との電圧-電流特性を示す特性図である。

【0063】

図3に示すN型MOSトランジスタ110の電圧-電流特性は、ドレイン114からソース112に向けて逆方向に流れる時の電圧-電流特性を示している。ソース112からドレイン114に向けて正方向に流れる時には、印加電圧0.7V以上で電流が流れ始めるが、図3に示すようにその逆方向では、印加電圧V1（例えば10V程度）になるとブレイクダウン（アバランシェ）を生じて電流が急激に流れ始める。これを防止するため、NPNラテラルバイポーラトランジスタ150をバイポーラ動作に従ってスナップバックさせ、電圧クランプ状態としている。

【0064】

すなわち、ツェナーダイオード160は周知の通り、逆方向特性としてブレイクダウン開始電圧V2（例えば6V程度）で電流が流れ出す。このため、ツェナーダイオード160をトリガとしてNPNラテラルバイポーラトランジスタ150が動作し始め、スナップバック開始電圧V3を越えると、電流の値に無関係に電圧がほぼ一定となる電圧クランプ状態となる。

【0065】

この第 1 の実施の形態では、MOS トランジスタ 1 1 0 にてブレイクダウンが生ずる前（電圧 V_1 に達する前）の電圧 V_2 にて、ツェナーダイオード 1 6 0 にて電流を流して、NPN ラテラルバイポーラトランジスタ 1 5 0 をオンさせて放電経路を確保する。この時、NPN ラテラルバイポーラトランジスタ 1 5 0 のコレクターエミッタ間電圧は、スナップバックにより 5 V 程度の電圧に保持され、放電が行われる。なお、静電気に起因して比較的高い電圧が印加されたとしても、ツェナーダイオード 1 6 0 にてブレイクダウンを開始させて、NPN ラテラルバイポーラトランジスタ 1 5 0 のコレクタ 1 5 2 とベース 1 5 6 との間のジャンクション耐圧を低下させている。

【 0 0 6 6 】

従って、図 4 に示すツェナーダイオード 1 6 0 のブレイクダウン開始電圧 V_2 が、MOS トランジスタ 1 1 0 のブレイクダウン開始電圧 V_1 よりも低ければ、上述の通り比較的高い静電気が印加された場合にも対処できる。

【 0 0 6 7 】

さらに、ツェナーダイオード 1 6 0 は、シリコン基板 1 0 0 表面より比較的深度にイオンドーピングされた B^{11} 拡散領域とドレイン 1 1 4 との PN 接合により形成されるので、ドレイン 1 1 4 に注入された電荷は、低抵抗のシリサイド層 1 3 0 表面を流れることが少なくなる。

【 0 0 6 8 】

さらには、図 1 に示す構造によれば、シリサイド層 1 3 0 と P^{31} 拡散領域とによりショートツキダイオードが形成されるので、シリサイド層 1 3 0 表面を通過する電荷はより少なくなり、図 1 の位置 A に電流集中が生ずることを防止できる。

【 0 0 6 9 】

この 2 つの理由により、コンタクト 1 1 5 と第 2 の素子分離領域 1 4 0 との間でシリサイド層 1 3 0 を部分的に除去するプロテクション工程を実施する必要はない。

【 0 0 7 0 】

このように、プロテクション工程を必要としない本実施の形態では、 P^{31} 拡散

領域は、好ましくはドレイン 1 1 4 よりも低濃度の N 型不純物のドーピングにより形成でき、 B^{11} 拡散領域はシリコン基板 1 0 0 の P 型 W E L L よりも高濃度の P 型不純物をドーピングさせれば良い。より好ましくは、図 4 の $V 2 < V 3 < V 1$ の関係を確保できるように、 B^{11} 拡散領域の不純物濃度が決定される。

【 0 0 7 1 】

(3) 製造プロセスの説明

次に、図 1 に示す半導体装置の製造プロセスについて、図 4 ～図 2 2 を参照して説明する。なお、図 4 ～図 2 2 には、N 型 MOS トランジスタ 1 1 0 とその静電気保護回路及び P 型 MOS トランジスタ 1 8 0 を製造する工程が示されている。

【 0 0 7 2 】

まず、図 4 に示すように、シリコン基板 1 0 0 に LOCOS 法によって、トランジスタ素子を分離する第 1 の素子分離領域 3 0 0 と、図 1 に示す N 型 MOS トランジスタ 1 1 0 のための 2 つの第 2 の素子分離領域 1 4 0, 1 4 2 と、P 型 MOS トランジスタのための第 2 の素子分離領域 2 4 0 とをそれぞれ形成する。

【 0 0 7 3 】

次に、図 5 に示すように、一部の領域をレジスト 3 0 2 にて被覆してイオンドーピングを実施して、マスクされていない他の領域に N 型 W E L L を形成する。

【 0 0 7 4 】

レジスト 3 0 2 の除去後に、図 6 に示す一部の領域をレジスト 3 0 4 にて被覆してインオドーピングを実施して、マスクされていない他の領域に P 型 W E L L を形成する。

【 0 0 7 5 】

その後、レジスト 3 0 4 を除去し、図 7 に示すように、シリコン基板 1 0 0 の全面に酸化膜 3 0 6 を形成し、さらに図 8 に示すように酸化膜 3 0 6 上にポリシリコン膜 3 0 8 を形成する。そして、図 9 に示すように、ポリシリコン膜 3 0 8 上にレジスト 3 1 0 をフォトリソグラフィ工程によりパターン形成した後、レジスト 3 1 0 をマスクにしてポリシリコン膜 3 0 8 をエッチングして、ゲート 1 1 8, 2 1 8 をそれぞれ形成する。

【 0 0 7 6 】

次に、図 1 0 に示すように、レジスト 3 1 2 をフォトリソグラフィ工程によりパターン形成した後、レジスト 3 1 2 とゲート 1 1 8 をマスクにして N 型不純物を低濃度で打ち込んで、N 型拡散領域 3 1 4 を形成する。

【 0 0 7 7 】

レジスト 3 1 2 の除去後に、図 1 1 に示すように、レジスト 3 1 6 をフォトリソグラフィ工程によりパターン形成し、レジスト 3 1 6 とゲート 2 1 8 をマスクにして P 型不純物を低濃度で打ち込んで、P 型拡散領域 3 1 8 を形成する。

【 0 0 7 8 】

レジスト 3 1 6 の除去後に、図 1 2 に示すように、ゲート 1 1 8, 2 1 8 の側壁に側壁絶縁膜 1 2 0 を形成し、ゲート 1 1 8, 2 1 8 及び側壁絶縁膜 1 2 0 をマスクにして酸化膜 3 0 6 をエッチングして、ゲート 1 1 8, 2 1 8 及び側壁絶縁膜 1 2 0 の下層にゲート酸化膜 1 1 7 を残存させる。

【 0 0 7 9 】

次に、図 1 3 に示すように、レジスト 3 2 0 をフォトリソグラフィ工程によりパターン形成した後、レジスト 3 2 0、ゲート 1 1 8 及び側壁絶縁膜 1 2 0 をマスクにして、N 型不純物を高濃度で打ち込む。この工程の実施により、図 1 に示すソース 1 1 2, ドレイン 1 1 4 (コレクタ 1 5 2)、エミッタ 1 5 4 と、P 型 MOS トランジスタ 2 0 0 の P ストップ拡散層として機能する N^+ 拡散領域 2 5 0 とが、図 1 3 に示すように形成される。

【 0 0 8 0 】

レジスト 3 2 0 の除去後に、図 1 4 に示すように、レジスト 3 2 2 をフォトリソグラフィ工程によりパターン形成し、レジスト 3 2 2、ゲート 2 1 8 及び側壁絶縁膜 1 2 0 をマスクにして不純物を高濃度で打ち込む。この工程の実施により、図 1 に示すベース 1 5 6 と、P 型 MOS トランジスタ 2 0 0 のソース 2 1 2、ドレイン 2 1 4 とが形成される。

【 0 0 8 1 】

レジスト 3 2 2 の除去後に、図 1 5 に示すように、レジスト 3 2 4 をフォトリソグラフィ工程によりパターン形成し、それをマスクにして P 型及び N 型不純物

を打ち込む。N型不純物として質量数31のリン(P)と、P型不純物として質量数11のボロン(B)とがそれぞれ打ち込まれることで、図1に示す P^{31+} 拡散領域、 B^{11+} 拡散領域が形成される。本実施の形態では、2種のイオンドーピングを実施するのに、レジスト324を共通マスクとして利用できる。

【0082】

レジスト324の除去後に、シリコン基板100の表面及びゲート118、218にて露出しているシリコン上に高融点金属例えばチタン(Ti)を形成してアニーリングすることで、図16に示すようにチタンシリサイド層130が形成される。

【0083】

次に、図17に示すようにシリコン基板100の全面に絶縁層326を形成し、さらに図18に示すように、絶縁層326上にレジスト328を形成した後、フォトリソグラフィ工程の実施によりパターン化してマスクを形成してエッチングすることで、コンタクトホール330を形成する。

【0084】

レジスト328の除去後に、図19に示すように、コンタクトホール330に例えばタングステンを埋め込んでコンタクト332を形成する。

【0085】

さらに、図20に示すように、絶縁層326及びコンタクト332の上にアルミニウムなどの金属層334を形成する。そして、金属層334上にレジスト336を形成した後、図21に示すように、レジスト336をフォトリソグラフィ工程の実施によりパターン化してマスクとし、金属層334をエッチングして金属配線層338A～338Gを形成する。

【0086】

この後、レジスト336を除去して金属配線層338A～338GにVDD、GNDなどを配線することで、図22の通り半導体装置が完成する。

【0087】

ここで、図15に示すイオンドーピング工程は、図13、図14のイオンドーピング工程に引き続いて実施できる点でスループットが向上するが、この方法に

限定されるものではない。要は、図 1 5 の工程は、ソース・ドレイン形成後であって、シリサイド層形成工程前に実施されればよい。また、 P^{31} 拡散領域、 B^{11} 拡散領域は必ずしも連続して形成されるものに限らず、マスクを共用しないのであれば、その工程実施時期を異ならせても良い。また、マスクを共用しない場合には、図 1 に示す B^{11} 拡散領域を、ドレイン 1 1 4 側のより狭い領域あるいはより広い領域に形成することもできる。また、 P^{31} 拡散領域、 B^{11} 拡散領域の代わりに、他の不純物イオンをドーピングし拡散領域を形成してもよい。

【 0 0 8 8 】

(第 2 の実施の形態)

図 2 3 は、第 2 の実施の形態に係る半導体装置を示す断面図である。なお、図 2 3 に示す部材のうち図 1 と同一部材については同一符号を付してある。

【 0 0 8 9 】

図 2 3 に示す MOS トランジスタ 1 1 0 の静電気保護回路は、 P^{31} 拡散領域（第 4 の拡散領域）の上下に、第 1 の B^{11} 拡散領域（第 5 の拡散領域）と第 2 の B^{11} 拡散領域（第 3 の拡散領域）とを設けた点のみが、図 1 に示す静電気保護回路と異なっている。

【 0 0 9 0 】

図 2 3 に示す静電気保護回路では、第 1 の B^{11} 拡散領域、 P^{31} 拡散領域及び第 2 の B^{11} 拡散領域とで PNP バイポーラトランジスタが形成される。従って、第 1 の B^{11} 拡散領域と接する位置にシリサイド層 1 3 0 が形成されていたとしても、PNP バイポーラトランジスタには電流が流れないので、シリサイド 1 3 0 を電流が流れることを確実に防止できる。

【 0 0 9 1 】

よって、コンタクト 1 1 5 と第 2 の素子分離領域 1 4 0 との間でシリサイド層 1 3 0 を部分的に除去するプロテクション工程を実施する必要性は、図 1 の構造より低くなる。

【 0 0 9 2 】

(第 3 の実施の形態)

図 2 4 は、第 3 の実施の形態に係る半導体装置を示す断面図である。なお、図

24に示す部材のうち図1と同一部材については同一符号を付してある。

【0093】

図24に示すMOSトランジスタ110の静電気保護回路には、図1に示すP³¹拡散領域が形成されず、ドレイン114と共にツェナーダイオード160を形成するB¹¹拡散領域（第3の拡散領域）のみが設けられている。また、図24では、第2の素子分離領域140の下層にPストッパ拡散領域を形成してもよい。

【0094】

この場合にも、図1の場合と同様にして、MOSトランジスタ110にてブレイクダウンが生ずる前に、ツェナーダイオード160にて電流を流して、NPNラテラルバイポーラトランジスタ150をオンさせて放電経路を確保できる。さらに、静電気に起因して比較的高い電圧が印加されたとしても、ツェナーダイオード160にてブレイクダウンを開始させて、NPNラテラルバイポーラトランジスタ150のコレクタ152とベース156との間のジャンクション耐圧を低下させることができる。

【0095】

さらに、ツェナーダイオード160は、シリコン基板100表面より比較的深い位置にイオンドーピングされたB¹¹拡散領域とドレイン114とのPN接合により形成されるので、ドレイン114に注入された電荷は、低抵抗のシリサイド層130表面を流れることが少なくなる。

【0096】

ただし、図24に示す構造によれば、図1のようにシリサイド層130とP³¹拡散領域とによりショートツキーダイオードが形成されることはない。もし、図24に示すA点での電流集中の危険を回避するのであれば、コンタクト115と第2の素子分離領域140との間でシリサイド層を部分的に除去するプロテクション工程を実施しても良い。

【0097】

（特性評価）

次に、本発明の第1～第3の実施の形態に従って製造された半導体装置の静電

気保護回路についての評価を、図 2 5 ～ 図 2 7 を参照して説明する。

【 0 0 9 8 】

図 2 5 (A)、図 2 6 (A) 及び図 2 7 (A) はそれぞれ、第 1 ～ 第 3 の実施の形態に従って製造された半導体装置の断面図であり、その断面内の電流密度が示されている。また同図には、基板表面からの縦軸（深さ）距離と、パッド 1 7 0 からの横軸距離とが示されている。

【 0 0 9 9 】

図 2 5 (A) に示す P^{31} 拡散領域は質量数 3 1 のリン (P) を 7 0 K e V で打ち込んで形成され、 B^{11} 拡散領域は質量数 1 1 のボロン (B) を 5 0 K e V で打ち込んで形成されている。

【 0 1 0 0 】

図 2 6 (A) に示す BF_2 拡散領域は、図 2 3 の第 1 の B^{11} 拡散領域に代わって形成されたもので、 BF_2 を 4 0 K e V で打ち込んで形成されている。 P^{31} 拡散領域は質量数 3 1 のリン (P) を 1 0 0 K e V で打ち込んで形成され、 B^{11} 拡散領域は質量数 1 1 のボロン (B) を 7 0 K e V で打ち込んで形成されている。

【 0 1 0 1 】

図 2 7 (A) に示す B^{11} 拡散領域は質量数 1 1 のボロン (B) を 4 0 K e V で打ち込んで形成されている。

【 0 1 0 2 】

図 2 5 (B)、図 2 6 (B) 及び図 2 7 (B) の特性図には、図 2 5 (A)、図 2 6 (A) 及び図 2 7 (A) の各半導体装置の表面から距離 0. 0 5 μm の深さ位置での電流密度 ($mA / \mu m^2$) が示されている。

【 0 1 0 3 】

図 2 5 (B) と図 2 7 (B) との比較から分かるように、パッド 1 7 0 からの横軸距離が 1. 8 μm の位置での電流密度のピーク値は、第 1 の実施の形態の方が第 3 の実施の形態よりも約 1 / 5 に低減されていることが分かる。

【 0 1 0 4 】

図 2 6 (B) では、パッド 1 7 0 からの横軸距離が 1. 8 μm の位置では P N P バイポーラトランジスタが形成されるため、図 2 5 (B) よりも電流密度は低

く、その代わりにパッド 1 7 0 からの横軸距離が $1.5 \mu\text{m}$ の位置で電流密度がピークとなっている。

【 0 1 0 5 】

図 2 7 (B) に示す電流密度のピーク値も、第 2 の素子分離領域 1 4 0 及び B^{11} 拡散領域のない従来技術と比較すれば十分低いものであるが、ここでの電流集中をより低減するために、上述した通りプロテクション工程を実施しても良い。

【 0 1 0 6 】

(第 4 の実施の形態)

図 2 8 は、本発明の第 4 の実施の形態に係る半導体装置を示す断面図である。なお、図 2 8 に示す部材のうち図 1 と同一部材については同一符号を付してある。

【 0 1 0 7 】

図 2 8 に示す半導体装置ではプロテクション工程が実施されている。すなわち、コンタクト 1 1 5 と第 2 の素子分離領域 1 4 0 との間には、シリサイド層 1 3 0 が部分的に除去されている。さらに、図 2 8 に示す半導体装置では、コレクタ 1 5 2 と第 2 の素子分離領域 1 4 0 との間であって、シリコン基板 1 0 0 の表面側に、 B^{11} 拡散領域が設けられている。そして、 B^{11} 拡散領域とコレクタ 1 5 2 の表面には、シリサイド層 1 3 0 が形成されないようになっている。

【 0 1 0 8 】

この第 4 の実施の形態でも、MOS トランジスタ 1 1 0 の静電気保護回路として、 B^{11} 拡散領域 (第 3 の拡散領域) とドレイン 1 1 4 との P/N 接合にてツェナーダイオード 5 0 0 が形成される。また、図 1 の場合と同様に、コレクタ 1 5 2、エミッタ 1 5 4、ベース 1 5 6 (図 2 8 では省略) 及び P 型 WEL L にて、NPN ラテラルバイポーラトランジスタ 1 5 0 が形成される。なお、第 2 の素子分離領域 1 4 0 の下層には、図 2 4 と同様に P ストップ拡散領域 4 0 0 が形成されている。

【 0 1 0 9 】

この場合にも、図 1 の場合と同様にして、N 型 MOS トランジスタ 1 1 0 にてブレイクダウンが生ずる前に、ツェナーダイオード 5 0 0 にて電流を流して、N

P Nラテラルバイポーラトランジスタ150をオンさせて放電経路を確保できる。さらに、静電気に起因して比較的高い電圧が印加されたとしても、ツェナーダイオード500にてブレイクダウンを開始させて、NPNラテラルバイポーラトランジスタ150のコレクタ152とベース156との間のジャンクション耐圧を低下させることができる。

【0110】

ここで、ツェナーダイオード500は、第1～第3の実施の形態とは異なり、シリコン基板100表面付近にイオンドーピングされたB¹¹拡散領域とドレイン114（コレクタ152）とのPN接合により形成されている。

【0111】

（第5の実施の形態）

図29は、本発明をP型MOSトランジスタの静電気保護回路に適用した第5実施例に係る半導体装置の断面図である。

【0112】

図29において、図1に示した基板と同じシリコン基板100に形成されたP型MOSトランジスタ200は、P⁺ソース212と、P⁺ドレイン214と、その間のN型WELLのチャネル216と、チャネル216とゲート酸化膜117を介して対向するゲート218とを有する。ゲート218の側壁には側壁絶縁膜120が形成されている。また、ソース212、ドレイン214及びゲート218上にはシリサイド層130が形成され、P型MOSトランジスタ200はサリサイドトランジスタとして構成されている。

【0113】

図29では、トランジスタ同士を分離する図示しない第1の素子分離領域の他に、第1の素子分離領域と同様にしてLOCOS法により形成される第2の素子分離領域240が設けられている。第2の素子分離領域240を介してソース212と分離されたP⁺拡散領域220が形成されている。そして図4にて、P⁺拡散領域220に接続されるコンタクト222がパッド260に接続された状態が図示されている。

【0114】

第 2 の素子分離領域 2 4 0 の下方には、抵抗として機能する B^{11+} 拡散領域が設けられている。

【 0 1 1 5 】

図 3 0 は、図 2 9 に P 型 MOS トランジスタ 2 0 0 及び B^{11+} 拡散領域を含む静電気保護回路の等価回路図を示している。

【 0 1 1 6 】

図 3 0 に示す NPN ラテラルバイポーラトランジスタ 6 0 0、ツェナーダイオード 6 1 0 及び抵抗 6 3 0 は、図 1 及び図 2 に示す NPN ラテラルバイポーラトランジスタ 1 5 0、ツェナーダイオード 1 6 0 及び抵抗 1 9 0 とそれぞれ同一機能を有する。また、図 3 0 では、P 型 MOS トランジスタ 2 0 0 は、 B^{11+} 拡散領域にて形成される抵抗 6 4 0 を介してパッド 2 6 0 に接続される。従って、この抵抗 6 4 0 の存在により、パッド 2 6 0 に静電気が印加されても、P 型 MOS トランジスタ 2 0 0 が放電経路となって破壊されることを防止できる。

【 0 1 1 7 】

図 3 0 ではさらに、 $VDD-VSS$ 間の保護回路として機能する NPN ラテラルバイポーラトランジスタ 6 5 0、ツェナーダイオード 6 6 0 及び抵抗 6 7 0 が設けられている。

【 0 1 1 8 】

このため、パッド 2 6 0 に印加された静電気は、上述した通りツェナーダイオード 6 1 0 のトリガによって NPN ラテラルバイポーラトランジスタ 6 0 0 を経由して VSS 側に一旦抜かれ、さらに NPN ラテラルバイポーラトランジスタ 6 5 0 を経由して VDD 側に抜くことが可能となる。

【 0 1 1 9 】

なお、図 3 0 に示す抵抗 6 4 0 は、P 型 MOS トランジスタ 2 0 0 のプルアップ動作に支障がないように大きな抵抗値とする必要はなく、しかも抵抗 6 4 0 の形成のために占有面積が大きくなることは高集積化の妨げになる。そこで、本実施の形態では、図 2 9 に示すように素子分離領域の下方に B^{11+} 拡散領域を形成することで、抵抗 6 4 0 を形成している。また、この B^{+11} 拡散領域は、図 1 に示す B^{+11} 拡散領域（第 3 の拡散領域）と同一工程にて形成することができるた

め、製造工程が増えることもない。

【0120】

また図1では、N型MOSトランジスタ110のドレイン114と、NPNラテラルバイポーラトランジスタ150のコレクタ152を共通の拡散領域に形成したが、図29に示すようにこれらが各々分離される構造であっても機能的には変わらない。

【0121】

(第6の実施の形態)

図31は、本発明をP型MOSトランジスタの静電気保護回路に適用した第6の実施の形態に係る半導体装置の断面図である。図31に示す部材のうち、図29に示すP型MOSトランジスタの部材と同一の部材については同一符号を付してある。

【0122】

図31に示すMOSトランジスタ200の静電気保護回路が、図29に示すものと相違する点は、シリサイド層130とB¹¹拡散領域との間に、P¹¹拡散領域を追加した点である。

【0123】

こうすると、図29の静電気保護回路の機能を実現できることに加えて、図1に示すN型MOSトランジスタ110の静電気保護回路と同様に、シリサイド層130とP³¹拡散領域とによりショートキークーダイオードが形成されるので、シリサイド層130表面を通過する電荷はより少なくなり、図31の位置Aに電流集中が生ずることを防止できる。

【0124】

この理由により、コンタクト252と第2の素子分離領域240との間でシリサイド層130を部分的に除去するプロテクション工程を実施する必要はない。

【0125】

なお、本発明は上述した各実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0126】

上述した各実施形態ではいずれも P 型半導体基板を使用した例であったが、N 型半導体基板を使用しても同様に実施することができる。この場合、図 1 ～図 3 1 に示す N 型は P 型に、P 型は N 型に置き換えて実施される。またこの場合、P 型 MOS トランジスタを保護する PNP ラテラルバイポーラトランジスタと、そのトリガーとして機能するツェナーダイオードが形成されることになる。

【 0 1 2 7 】

さらに、トリプルウェル構造を有する半導体基板を用いれば、N 型 MOS トランジスタの保護回路として機能する NPN ラテラルバイポーラトランジスタと、P 型 MOS トランジスタの保護回路として機能する PNP ラテラルバイポーラトランジスタとを、共に同一の半導体基板上に形成することも可能となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施の形態に係る半導体装置の N 型 MOS トランジスタ及びその静電気保護回路の構成を示す断面図である。

【図 2】

図 1 に示す半導体装置の等価回路図である。

【図 3】

図 1 及び図 2 に示す MOS トランジスタとツェナーダイオードの電圧－電流特性を示す特性図である。

【図 4】

図 1 に示す半導体装置の第 1 の製造工程を示す断面図である。

【図 5】

図 1 に示す半導体装置の第 2 の製造工程を示す断面図である。

【図 6】

図 1 に示す半導体装置の第 3 の製造工程を示す断面図である。

【図 7】

図 1 に示す半導体装置の第 4 の製造工程を示す断面図である。

【図 8】

図 1 に示す半導体装置の第 5 の製造工程を示す断面図である。

【図 9】

図 1 に示す半導体装置の第 6 の製造工程を示す断面図である。

【図 1 0】

図 1 に示す半導体装置の第 7 の製造工程を示す断面図である。

【図 1 1】

図 1 に示す半導体装置の第 8 の製造工程を示す断面図である。

【図 1 2】

図 1 に示す半導体装置の第 9 の製造工程を示す断面図である。

【図 1 3】

図 1 に示す半導体装置の第 1 0 の製造工程を示す断面図である。

【図 1 4】

図 1 に示す半導体装置の第 1 1 の製造工程を示す断面図である。

【図 1 5】

図 1 に示す半導体装置の第 1 2 の製造工程を示す断面図である。

【図 1 6】

図 1 に示す半導体装置の第 1 3 の製造工程を示す断面図である。

【図 1 7】

図 1 に示す半導体装置の第 1 4 の製造工程を示す断面図である。

【図 1 8】

図 1 に示す半導体装置の第 1 5 の製造工程を示す断面図である。

【図 1 9】

図 1 に示す半導体装置の第 1 6 の製造工程を示す断面図である。

【図 2 0】

図 1 に示す半導体装置の第 1 7 の製造工程を示す断面図である。

【図 2 1】

図 1 に示す半導体装置の第 1 8 の製造工程を示す断面図である。

【図 2 2】

図 4 から図 2 1 の工程を経て完成される半導体装置の断面図である。

【図 2 3】

本発明の第 2 の実施の形態に係る半導体装置の N 型 MOS トランジスタ及びその静電気保護回路の構成を示す断面図である。

【図 2 4】

本発明の第 3 の実施の形態に係る半導体装置の N 型 MOS トランジスタ及びその静電気保護回路の構成を示す断面図である。

【図 2 5】

(A) は本発明の第 1 の実施の形態に従って形成された半導体装置の断面図、
(B) はその装置の深さ $0.05\mu\text{m}$ における電流密度の位置依存性を示す特性図である。

【図 2 6】

(A) は本発明の第 2 の実施の形態に従って形成された半導体装置の断面図、
(B) はその装置の深さ $0.05\mu\text{m}$ における電流密度の位置依存性を示す特性図である。

【図 2 7】

(A) は本発明の第 3 の実施の形態に従って形成された半導体装置の断面図、
(B) はその装置の深さ $0.05\mu\text{m}$ における電流密度の位置依存性を示す特性図である。

【図 2 8】

本発明の第 4 の実施の形態に係る半導体装置の N 型 MOS トランジスタ及びその静電気保護回路の構成を示す断面図である。

【図 2 9】

本発明の第 5 の実施の形態に係る半導体装置の P 型 MOS トランジスタ及びその静電気保護回路の構成を示す断面図である。

【図 3 0】

図 2 9 に示す P 型 MOS トランジスタ及びその静電気保護回路の等価回路図である。

【図 3 1】

本発明の第 6 の実施の形態に係る半導体装置の P 型 MOS トランジスタ及びその静電気保護回路の構成を示す断面図である。

【図 3 2】

拡散層上にシリサイド層を有しない従来の場合の均一な放電の様子を模式的に示す模式図である。

【図 3 3】

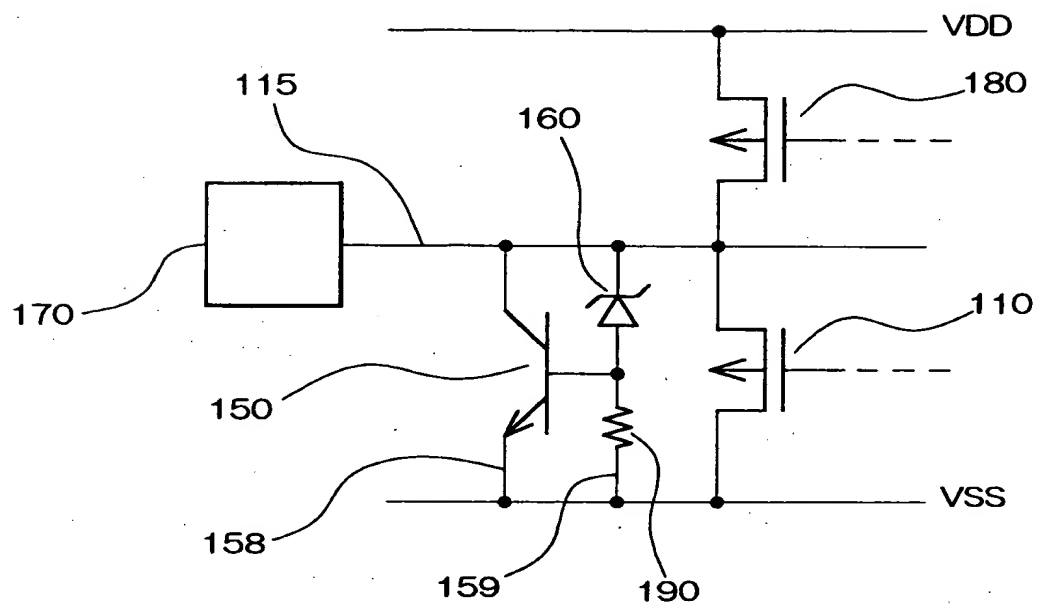
拡散層上にシリサイド層を有する従来の場合であって、ホットスポットに電流集中が生ずる放電の様子を模式的に示す模式図である。

【符号の説明】

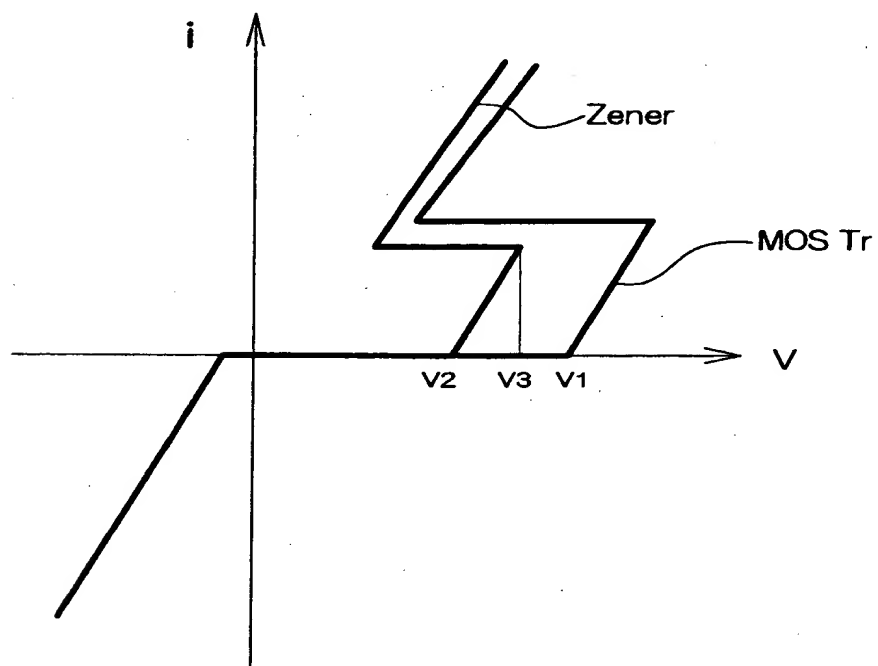
- 1 0 0 シリコン基板
- 1 1 0 N型MOSトランジスタ
- 1 1 2 ソース
- 1 1 4 ドレイン (第 1 の拡散領域)
- 1 1 5 コンタクト
- 1 1 6 チャネル
- 1 1 7 ゲート酸化膜
- 1 1 8 ゲート
- 1 2 0 側壁絶縁膜
- 1 3 0 シリサイド層
- 1 4 0, 1 4 2 第 2 の素子分離領域
- 1 5 0 NPNラテラルバイポーラトランジスタ
- 1 5 2 コレクタ (第 2 の拡散領域)
- 1 5 4 エミッタ (第 2 の拡散領域)
- 1 5 6 ベース (第 2 の拡散領域)
- 1 5 8, 1 5 9, 2 5 2 コンタクト
- 1 6 0 ツェナーダイオード
- 1 7 0, 2 6 0 パッド
- 1 8 0 P型MOSトランジスタ
- 1 9 0 抵抗
- 2 0 0 P型MOSトランジスタ
- 2 1 2 ソース

2 1 4 ドレイン
2 1 6 チャネル
2 1 8 ゲート
2 4 0 第 3 の素子分離領域
2 5 0 P^+ 拡散領域
2 7 0 第 1 の放電経路
2 7 2 第 2 の放電経路
3 0 0 第 1 の素子分離領域
3 0 2, 3 0 4, 3 1 0, 3 1 2, 3 1 6, 3 2 0, 3 2 2, 3 2 4, 3 2 8,
3 3 6 レジスト
3 0 6 酸化膜
3 0 8 ポリシリコン膜
3 1 4 N 型拡散領域
3 1 8 P 型拡散領域
3 2 6 絶縁層
3 3 0 コンタクトホール
3 3 2 コンタクト
3 3 4 金属層
3 3 8 A ~ 3 3 8 G 配線層
4 0 0 P ストップ拡散領域
5 0 0 ツェナーダイオード
6 0 0, 6 5 0 NPN ラテラルバイポーラトランジスタ
6 1 0, 6 6 0 ツェナーダイオード
6 3 0, 6 4 0, 6 7 0 抵抗
6 8 0 放電経路

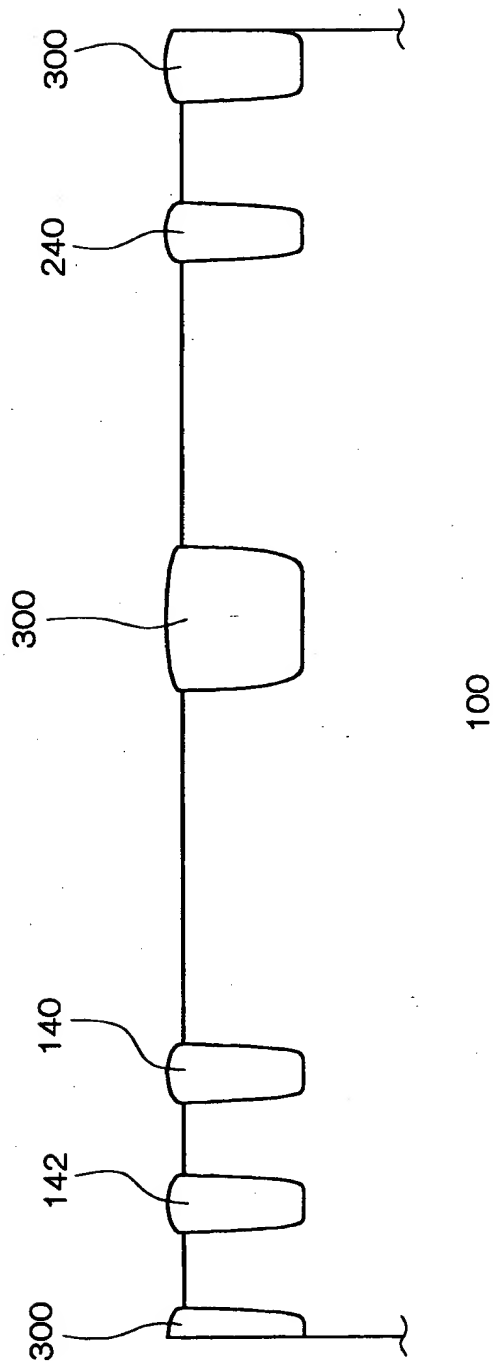
【図2】



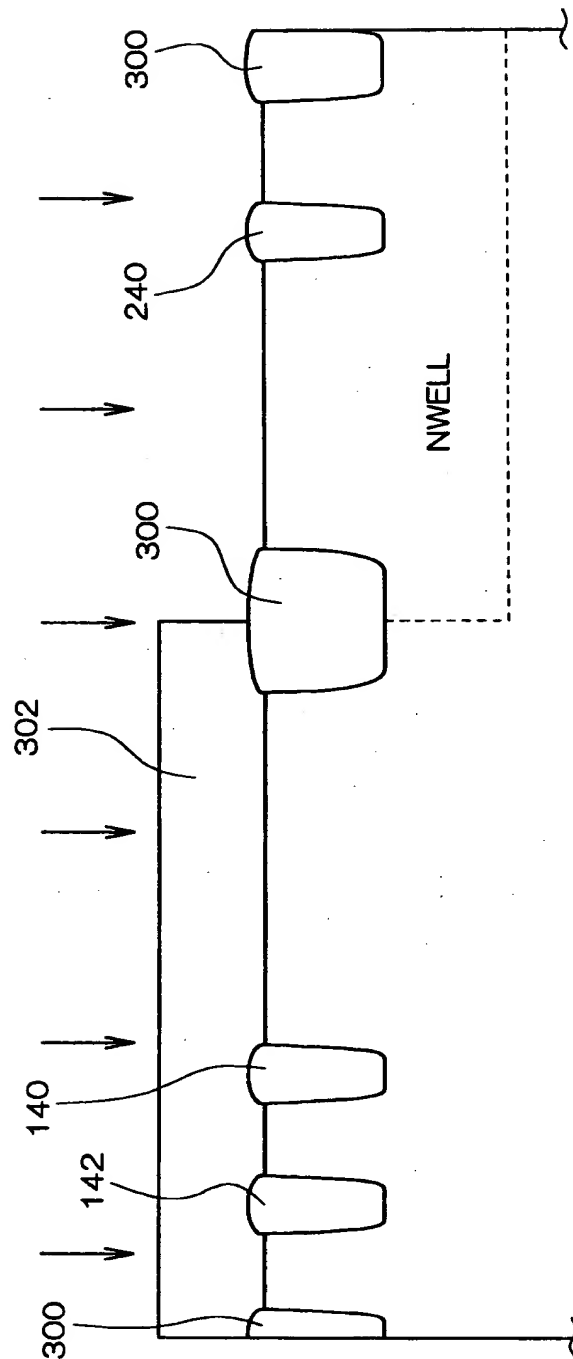
【図3】



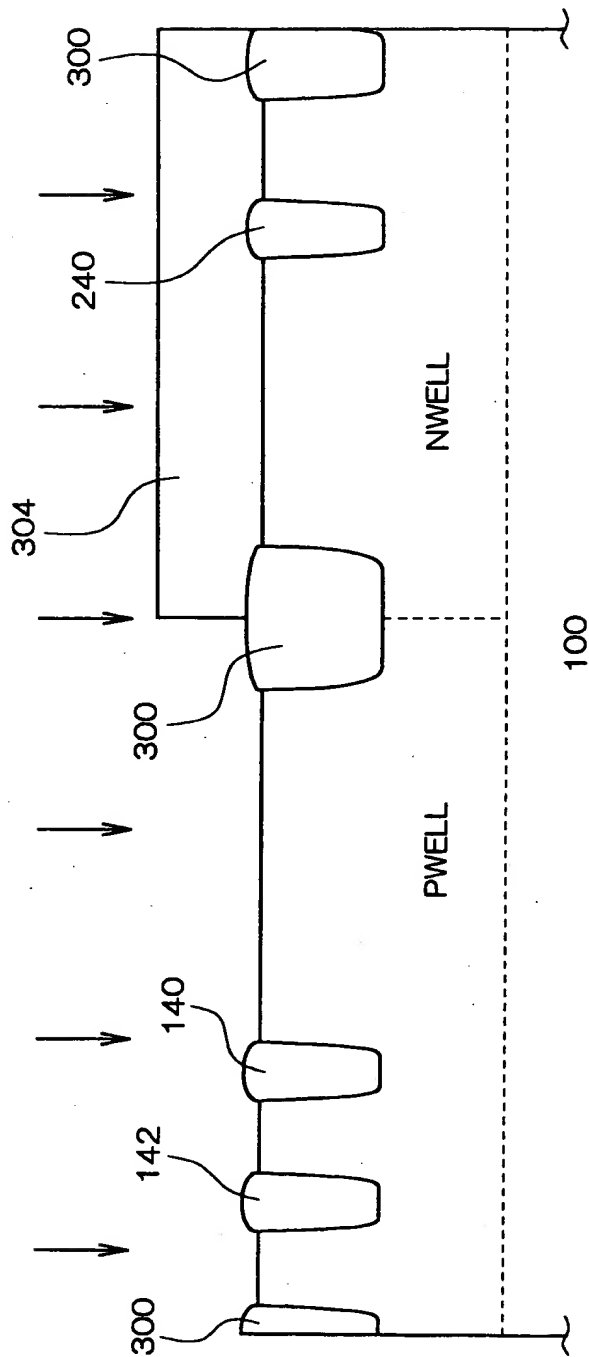
【図 4】



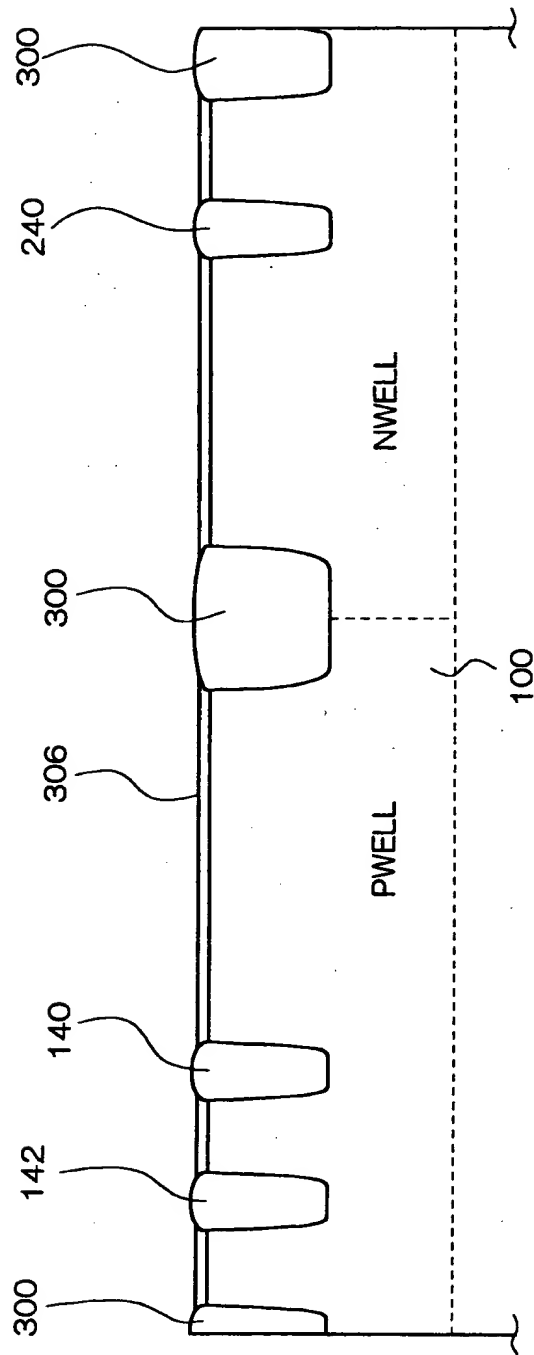
【図 5】



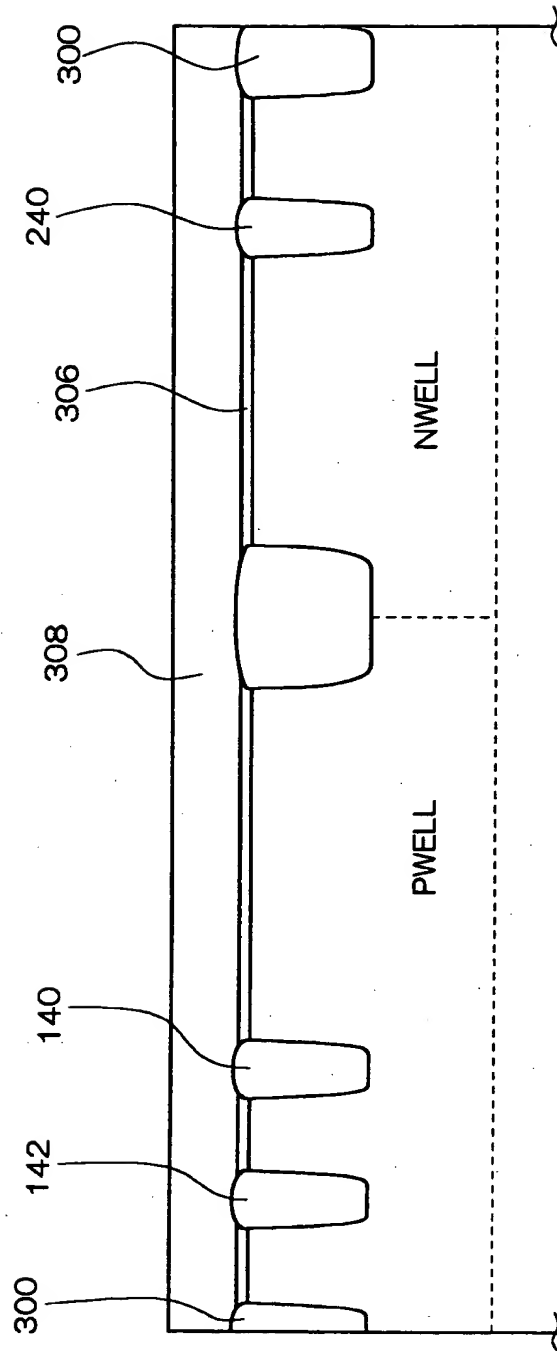
【図 6】



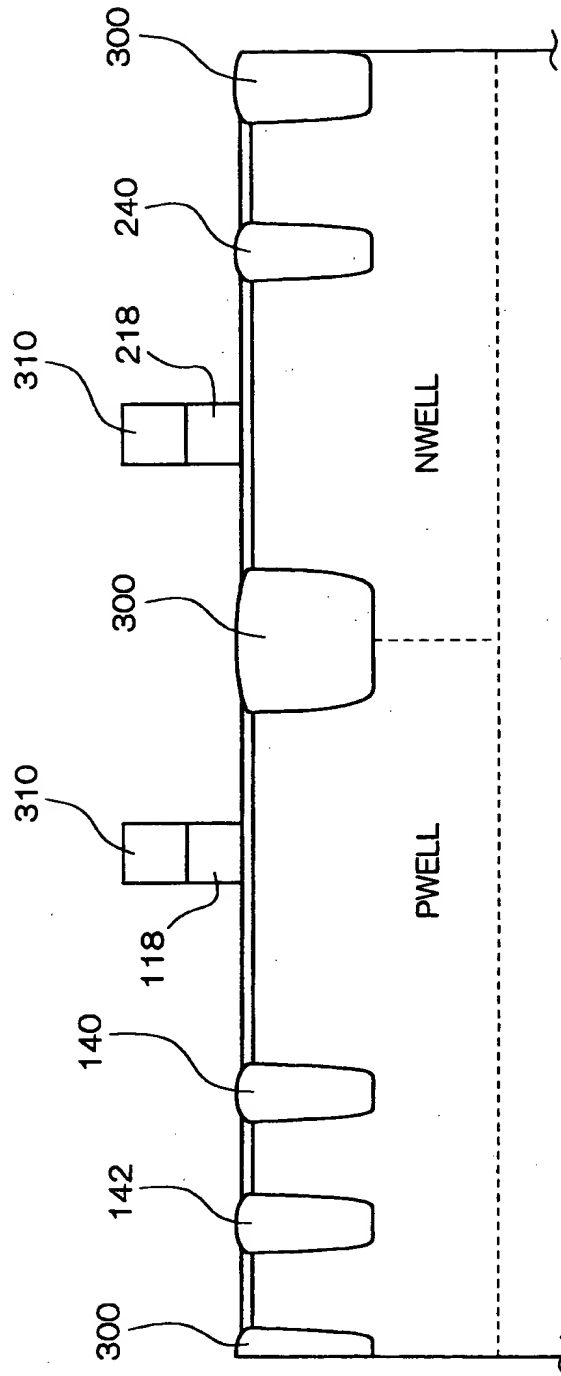
【図 7】



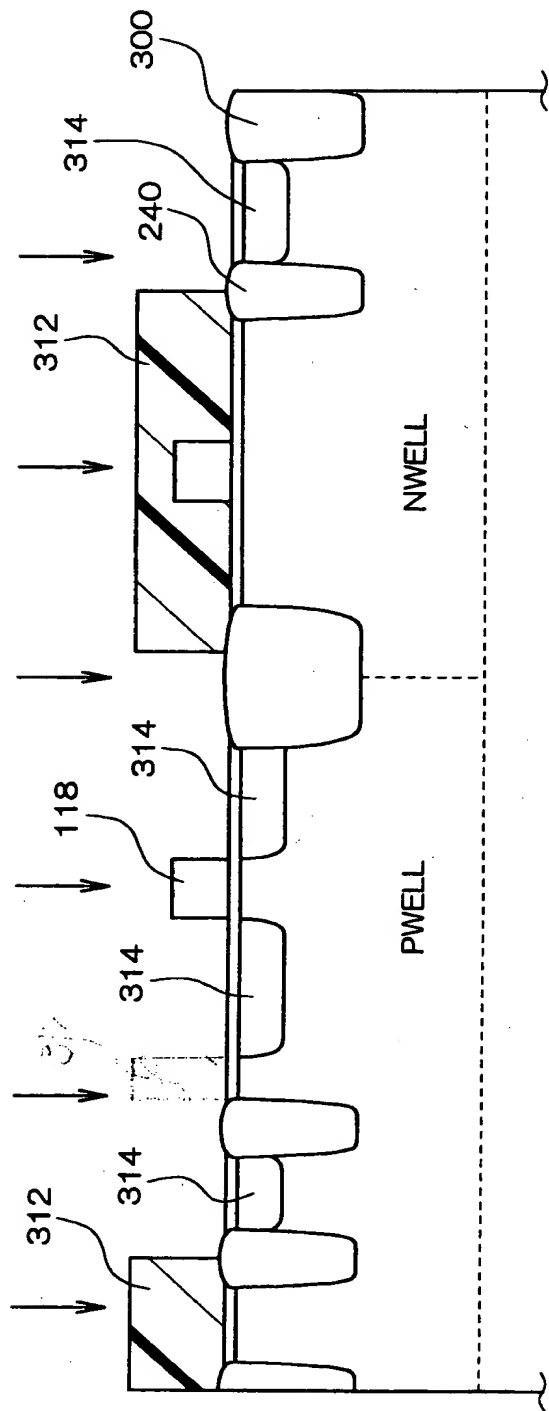
【図 8】



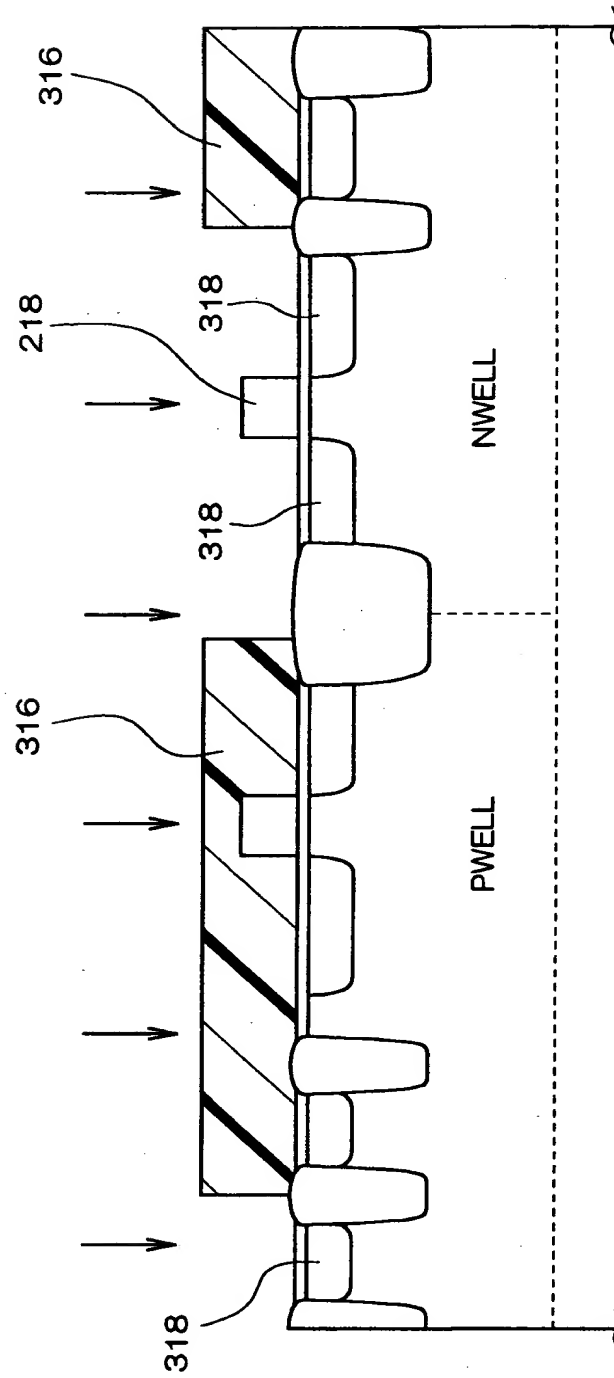
【図 9】



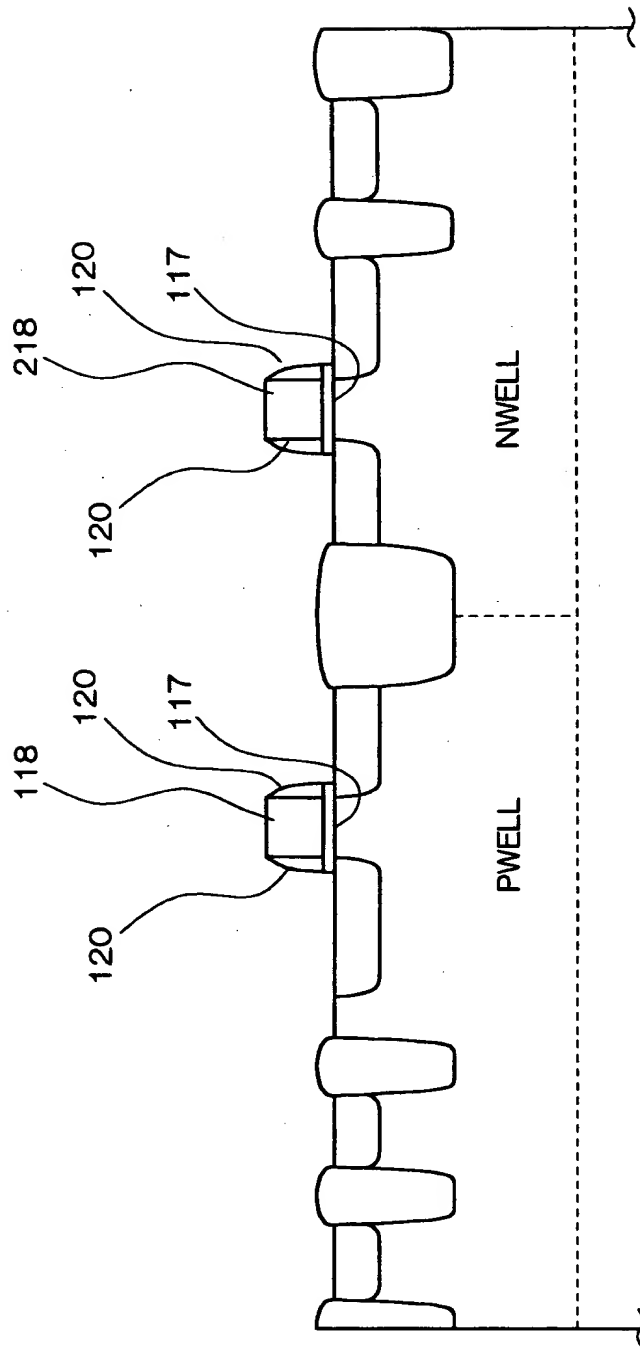
【図10】



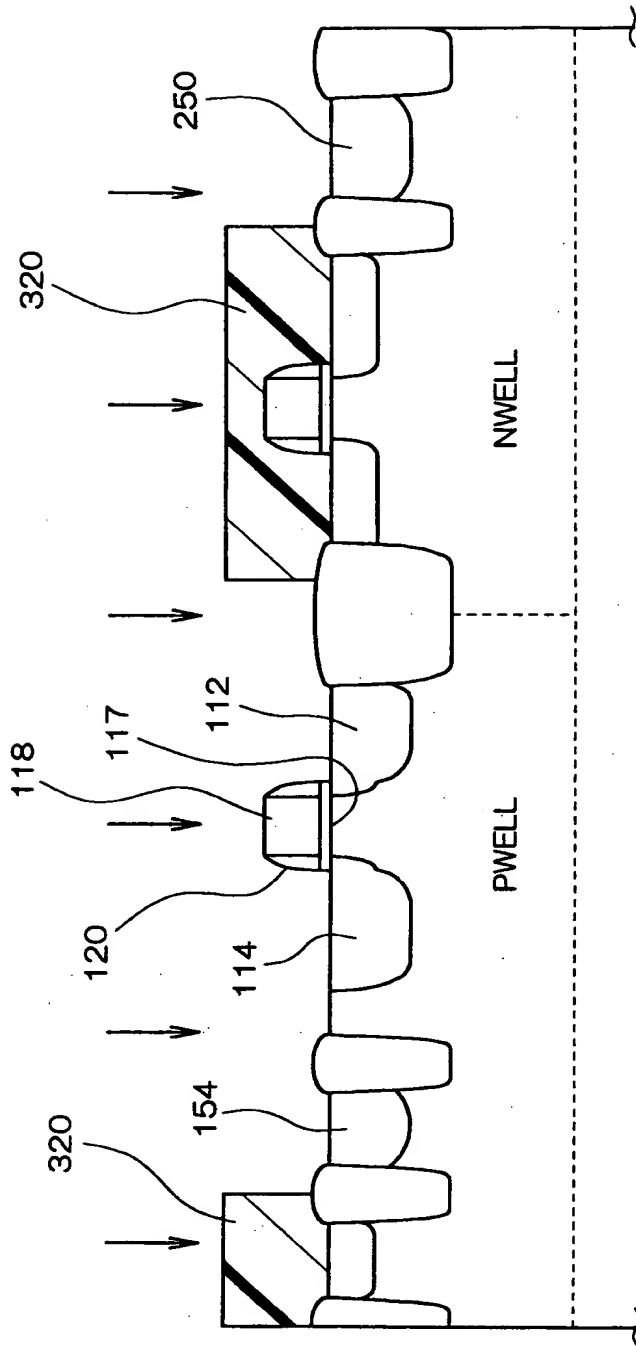
【図 11】



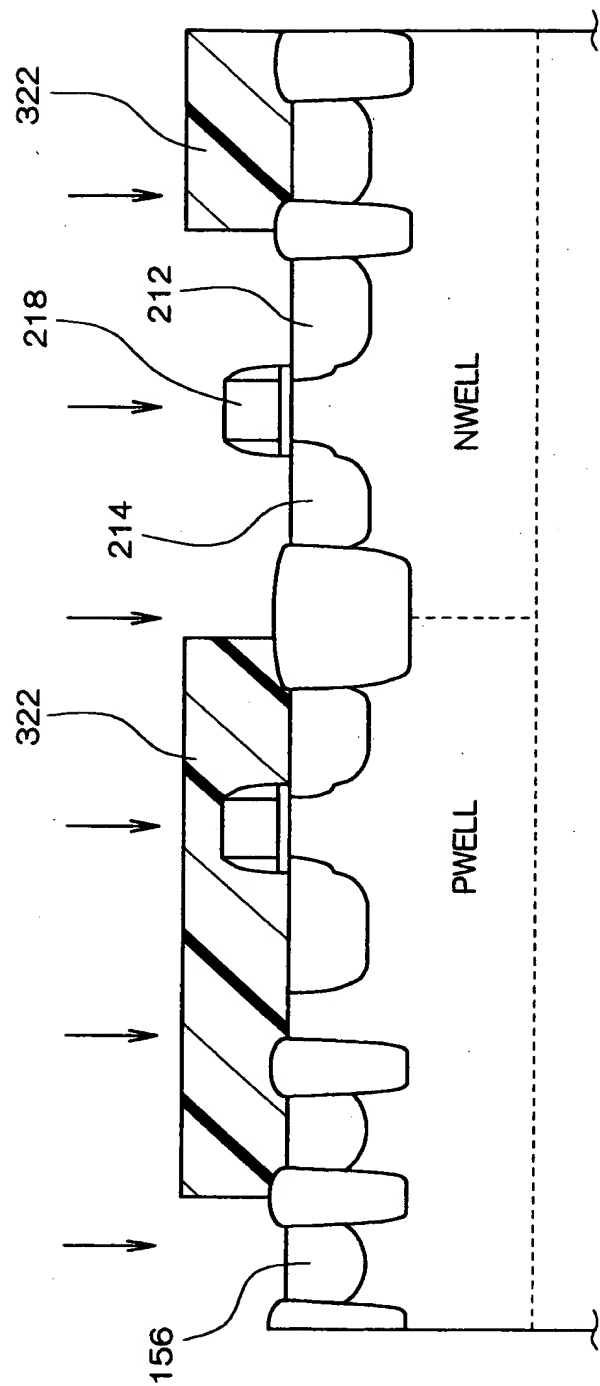
【図 12】



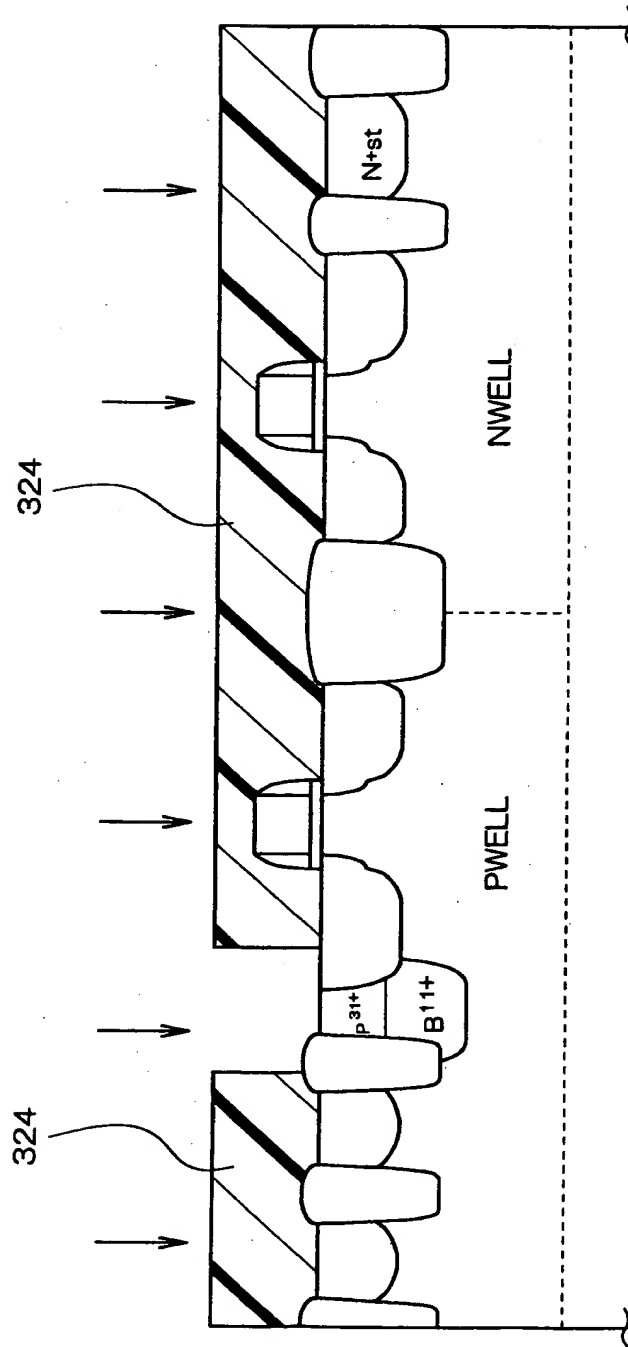
【図 13】



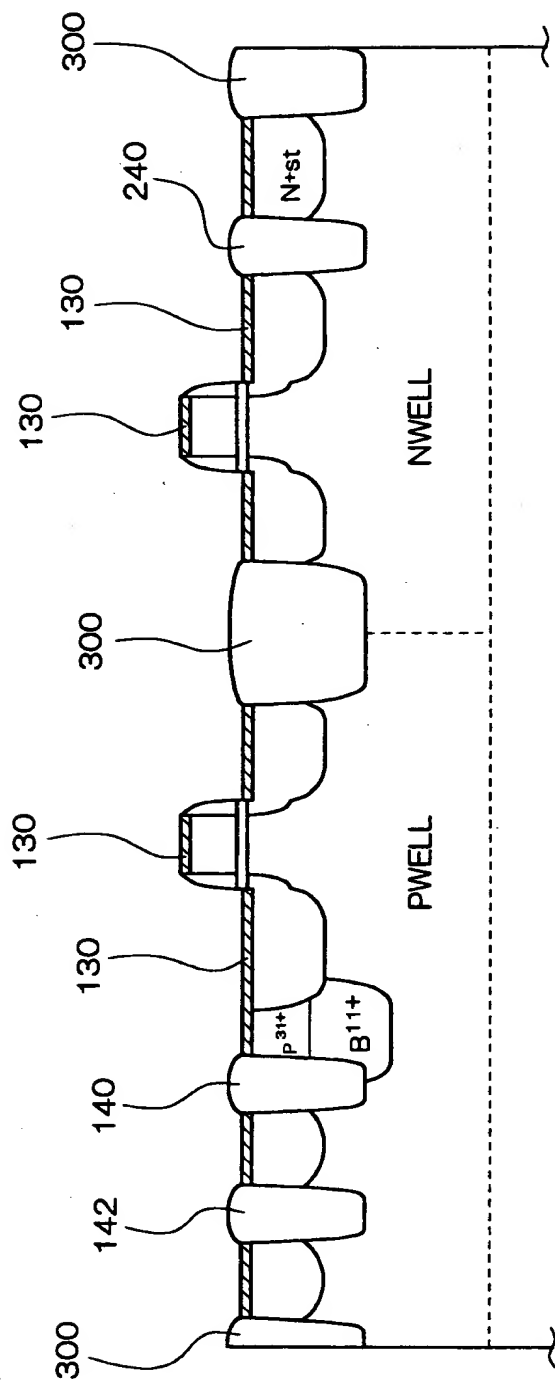
【図 14】



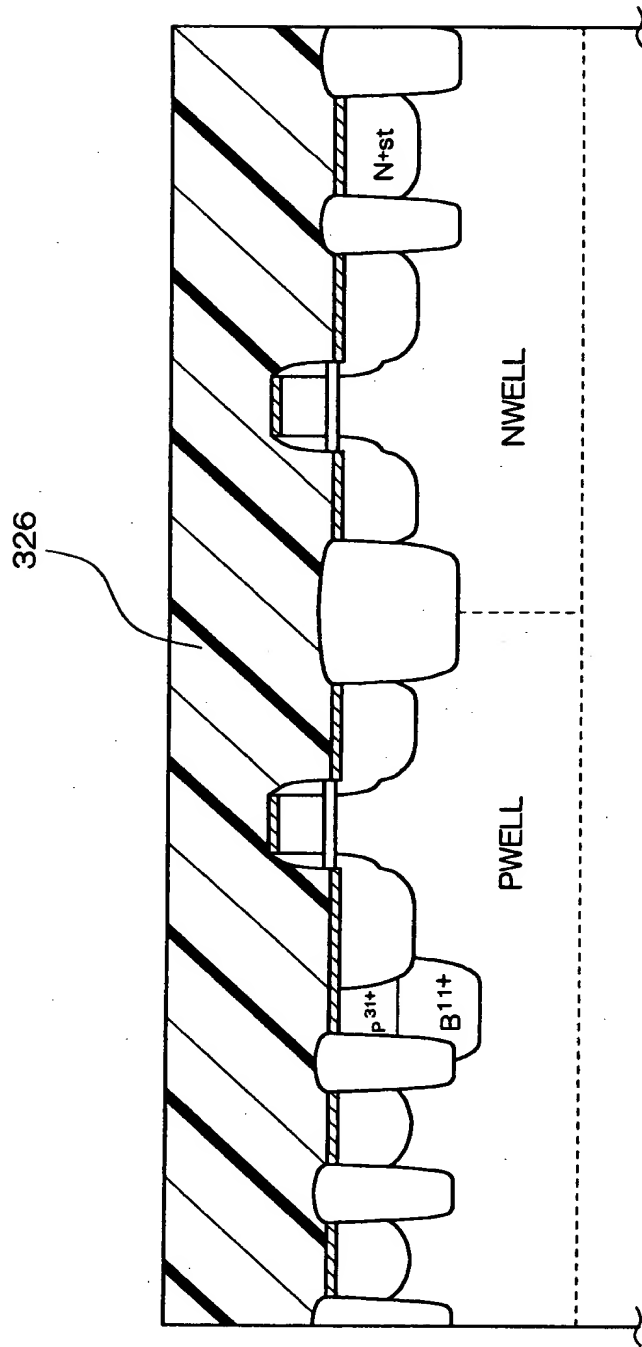
【図 15】



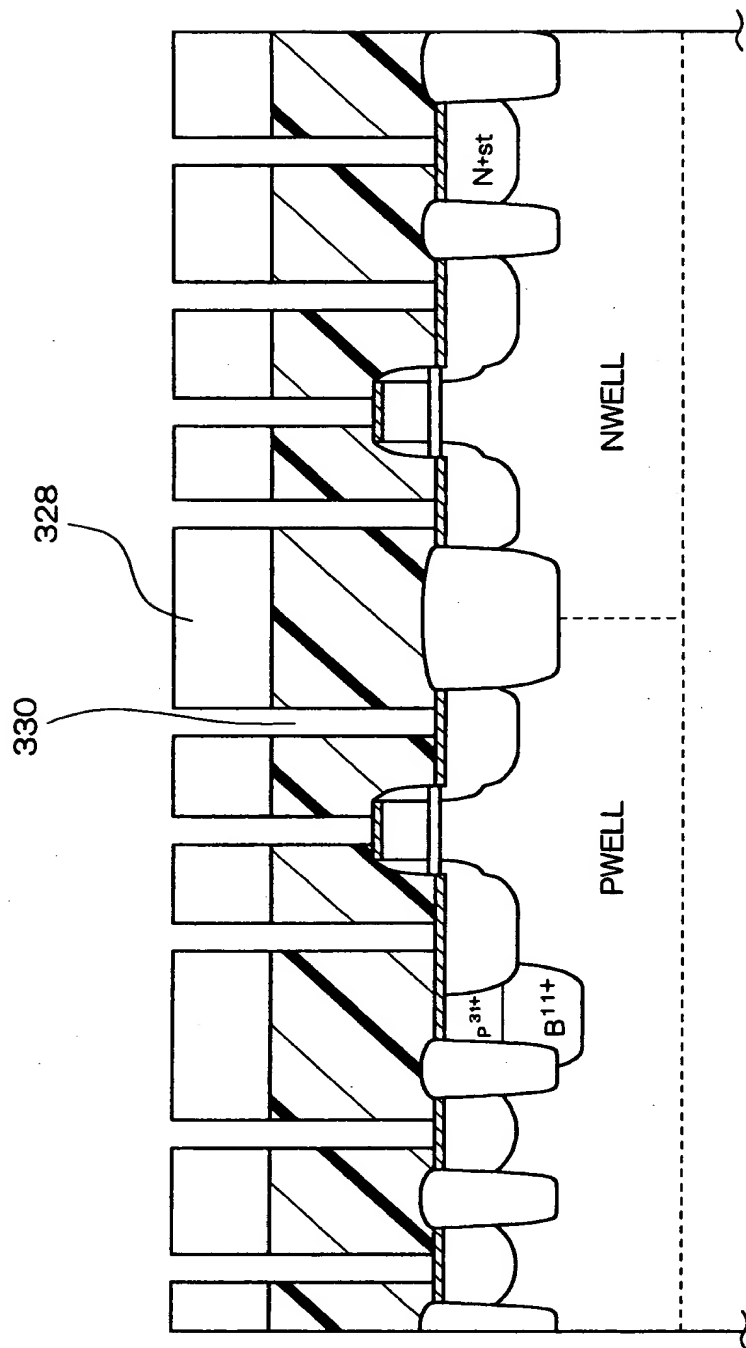
【図 16】



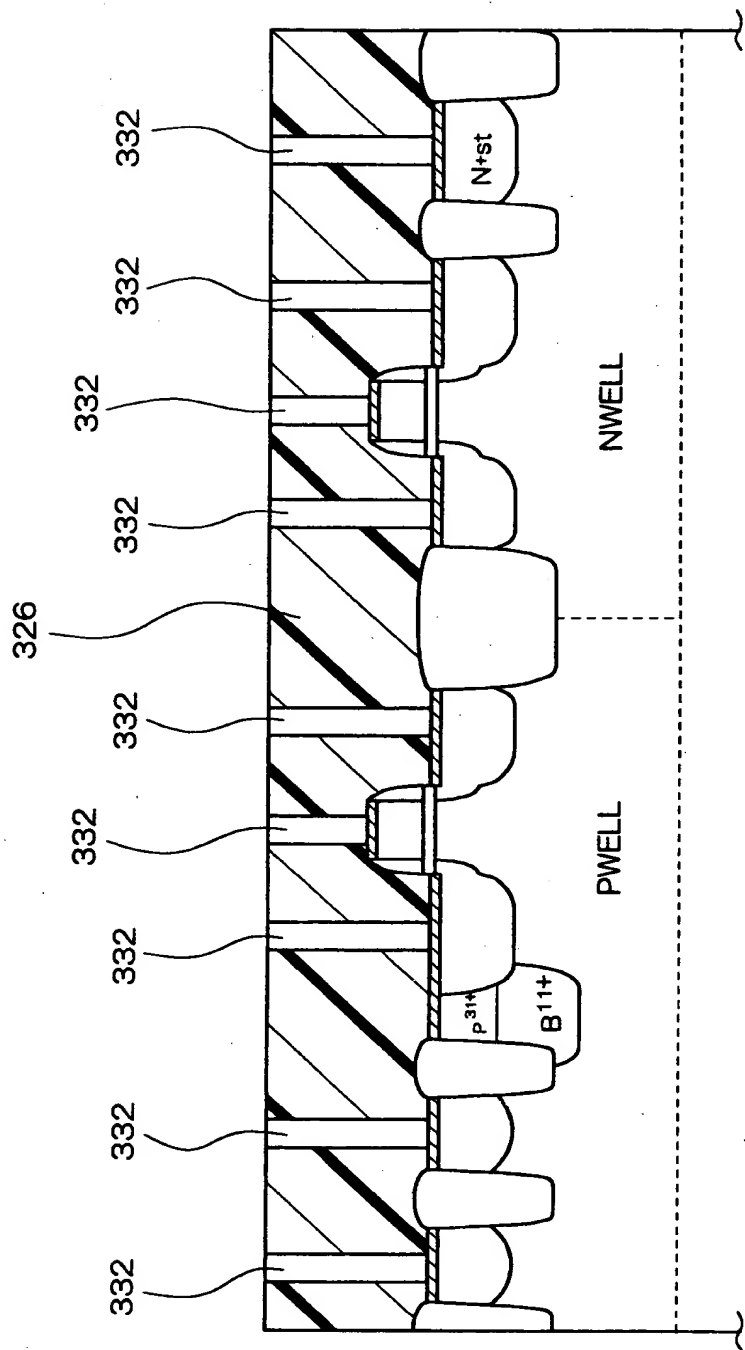
【図 17】



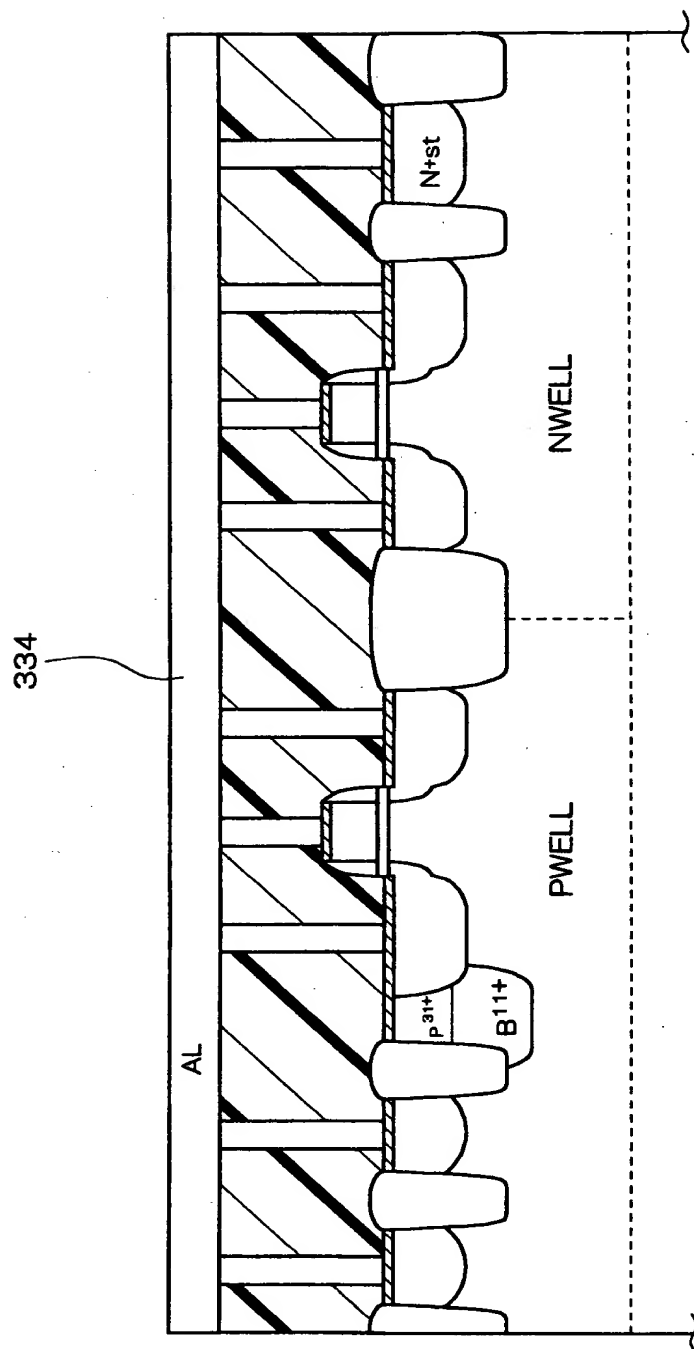
【図 18】



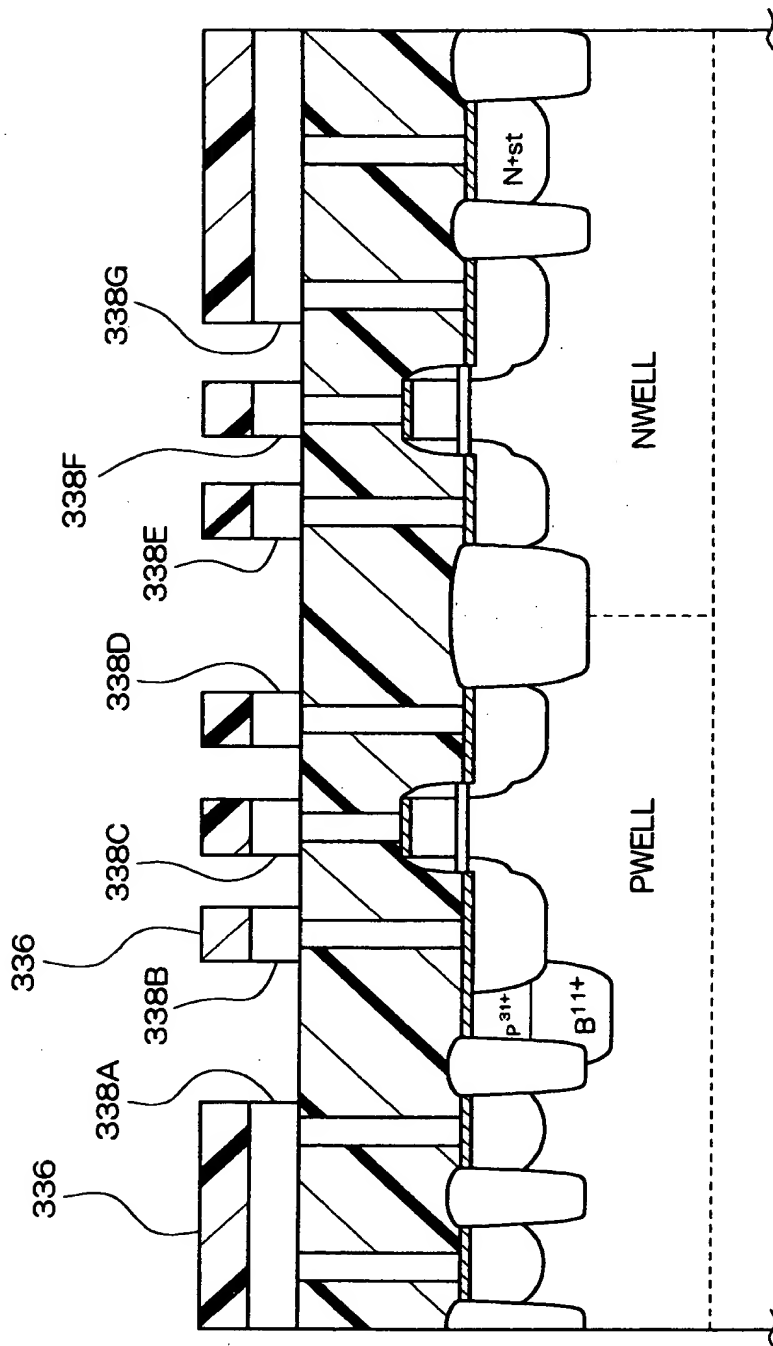
【図 19】



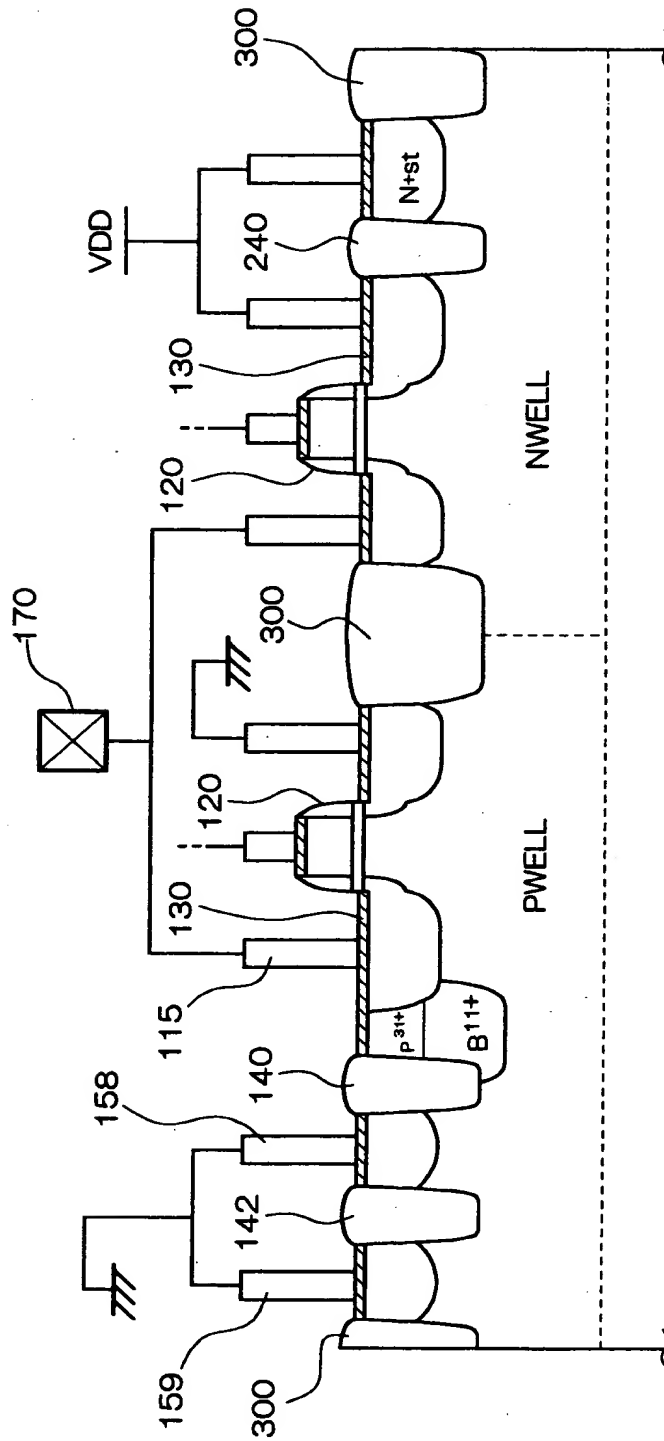
【図 20】



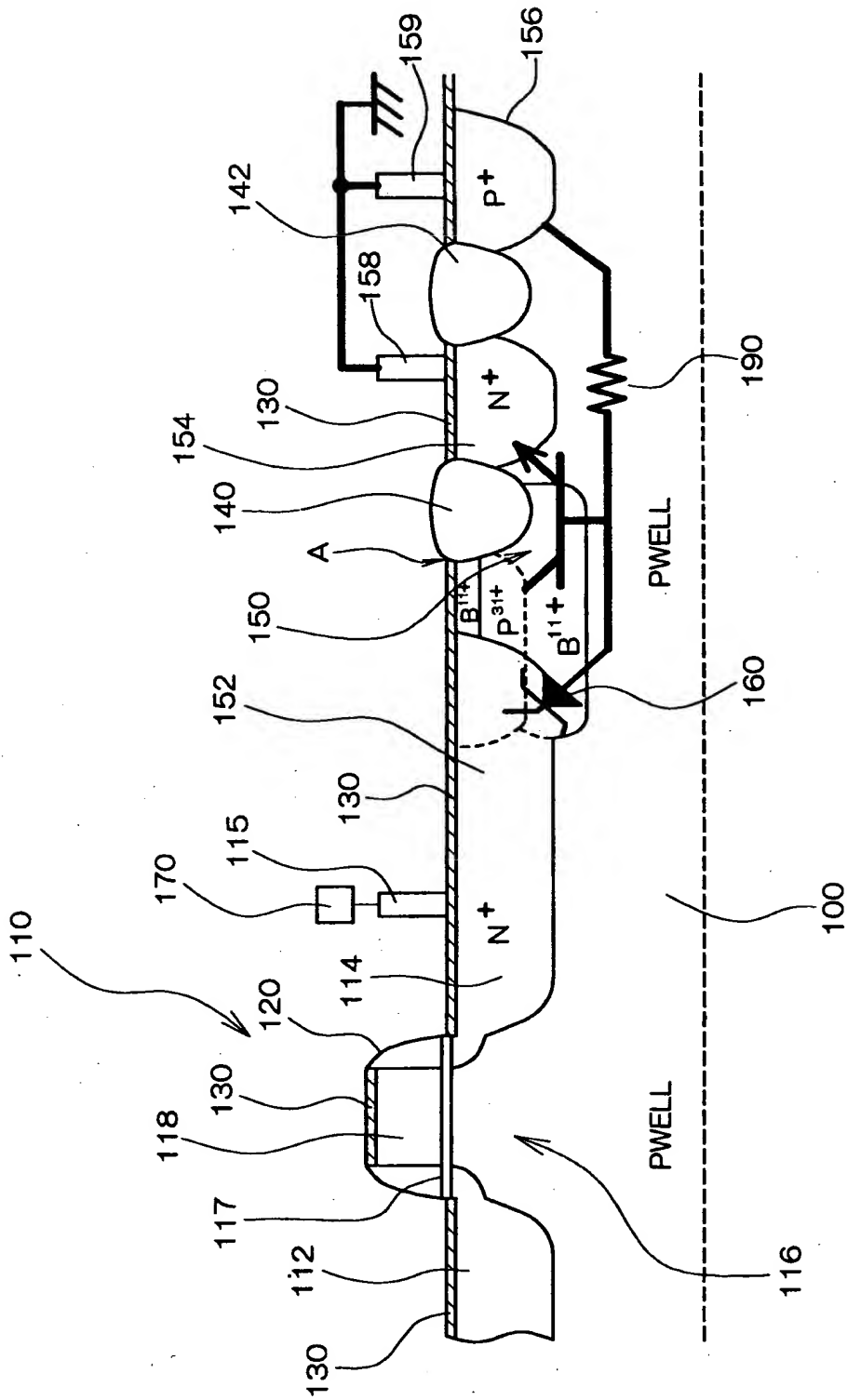
【図 21】



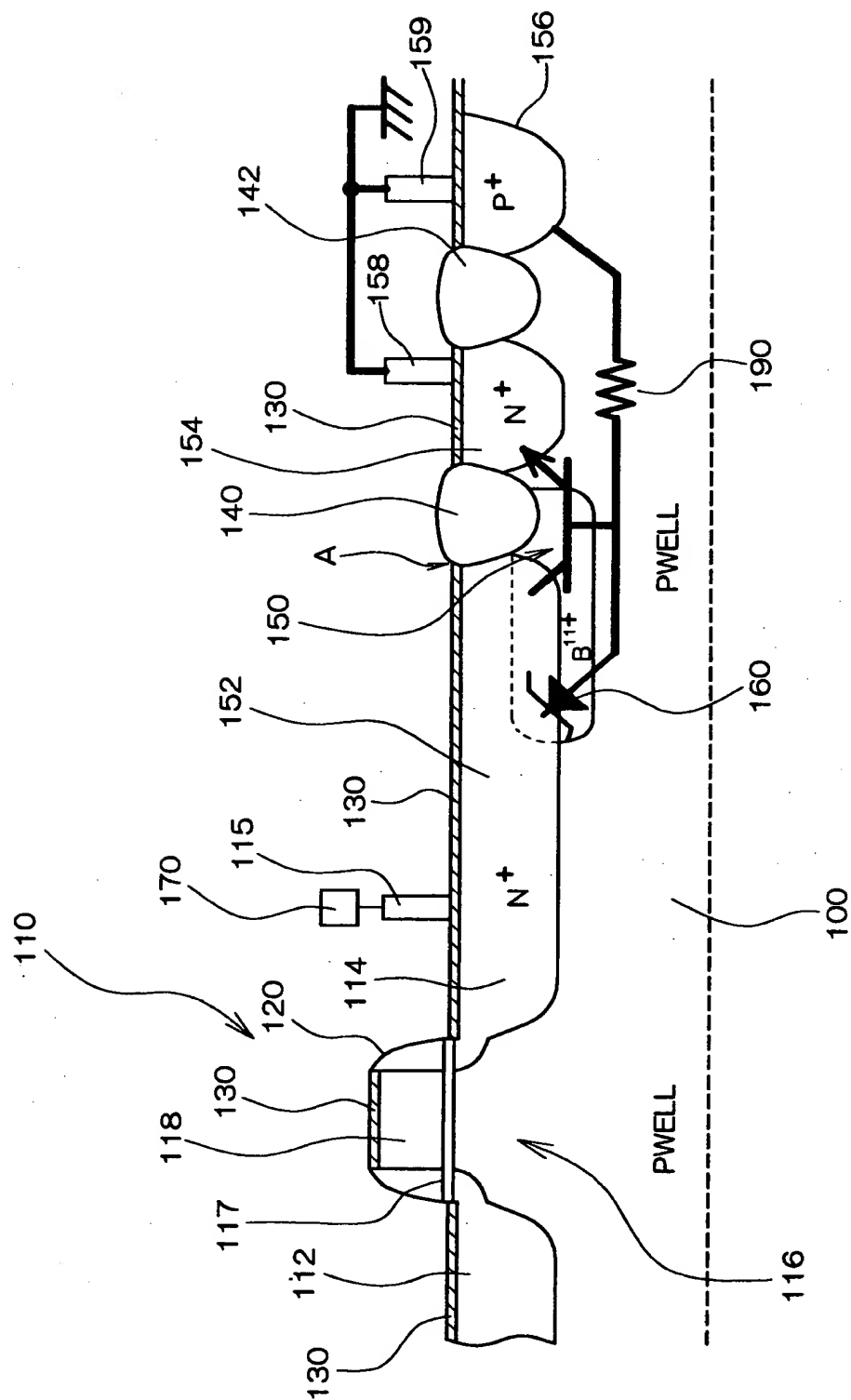
【図 22】



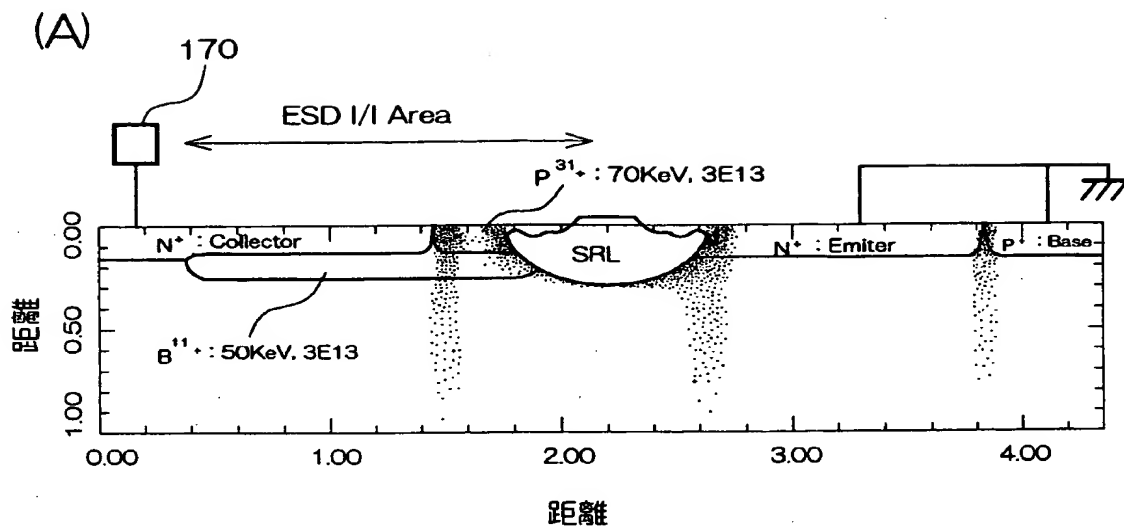
【図 23】



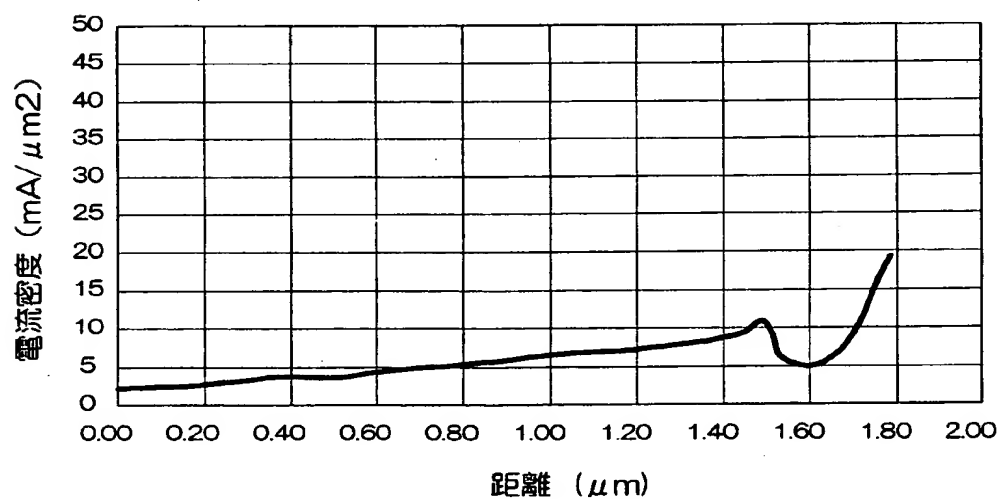
【图 24】



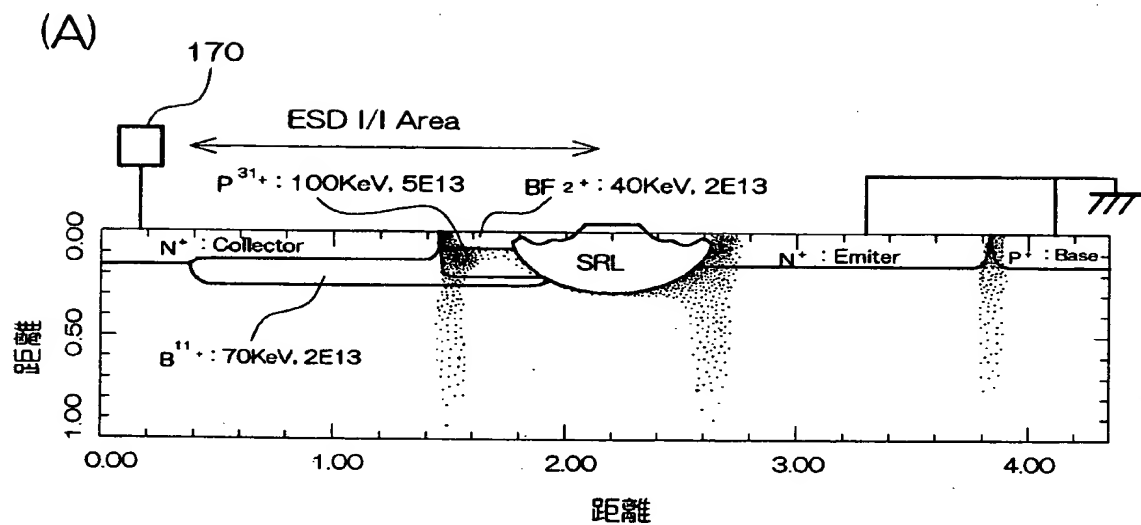
【図 2 5】



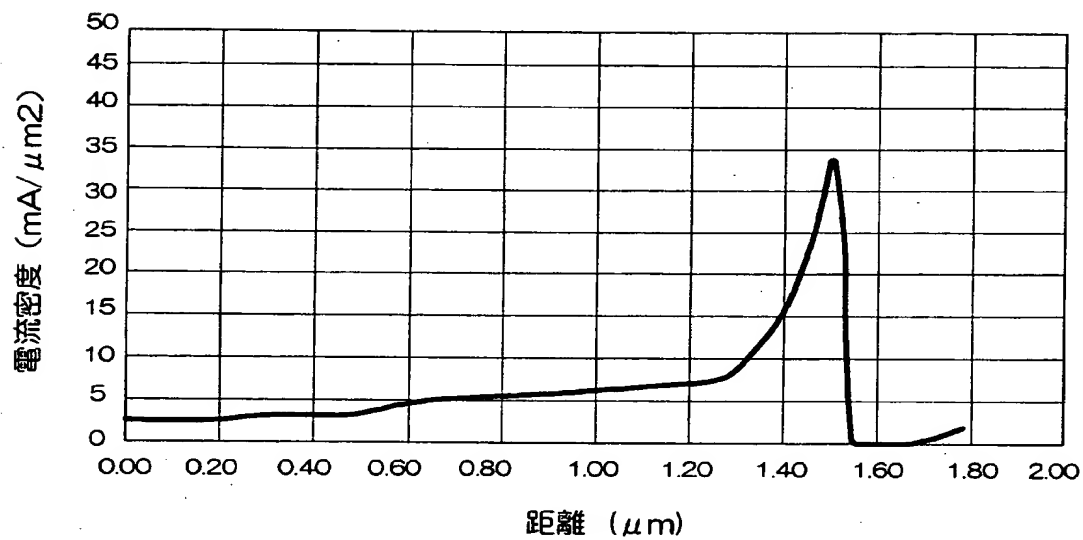
(B)



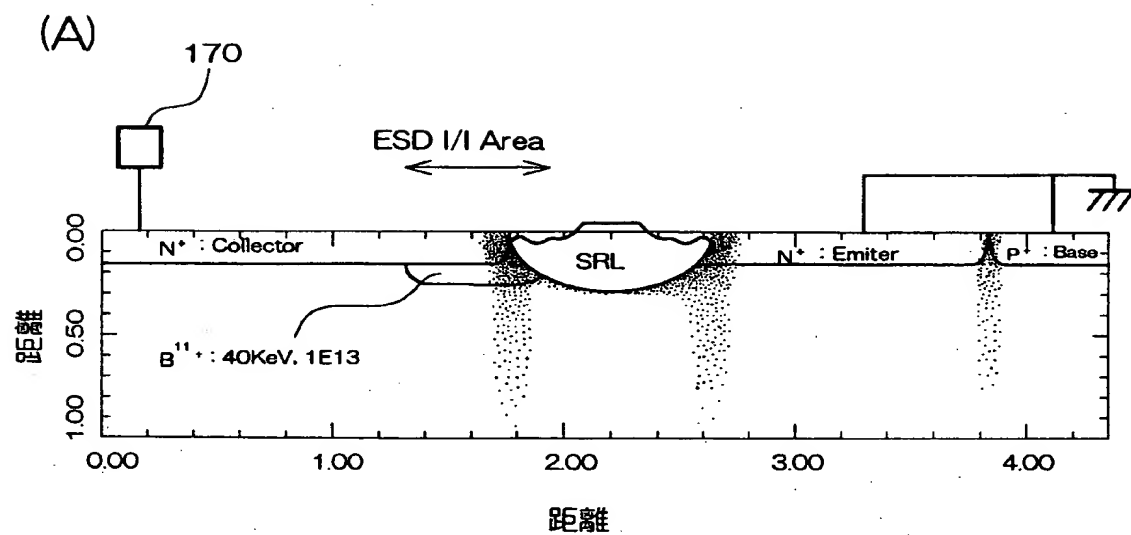
【図 2 6】



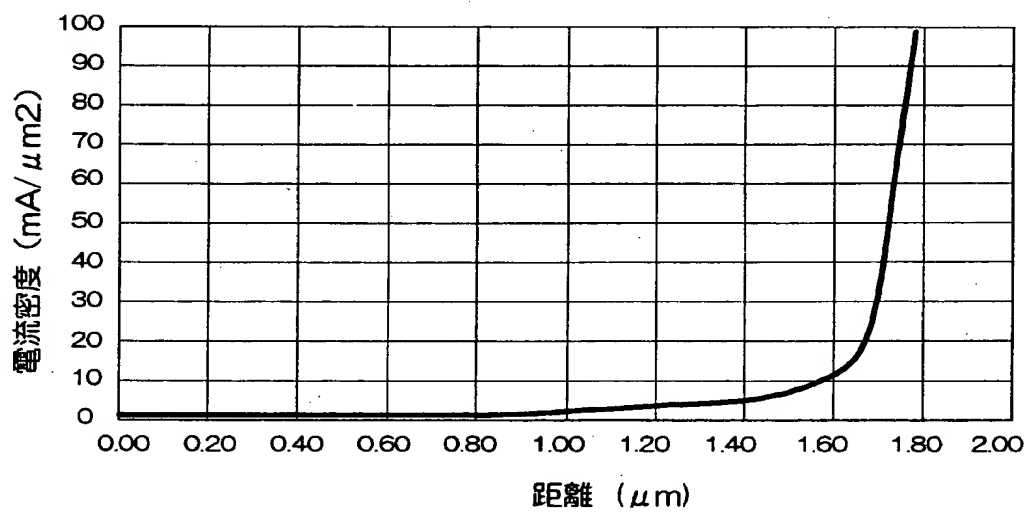
(B)



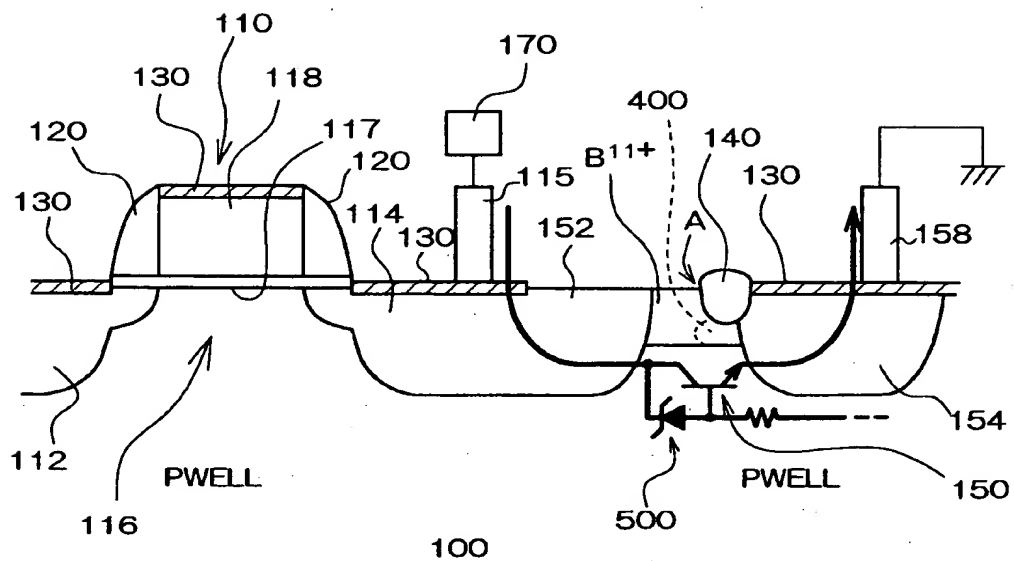
【図 27】



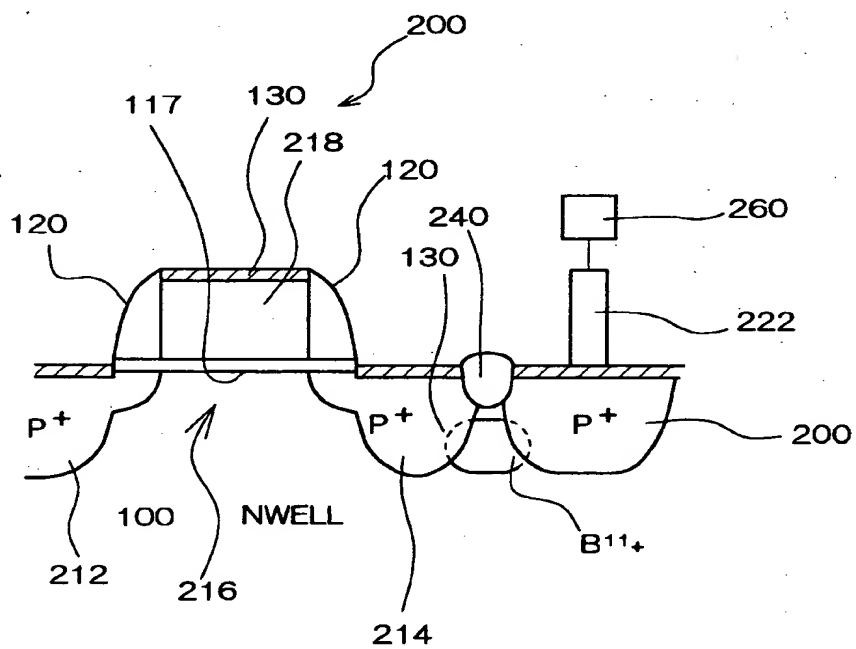
(B)



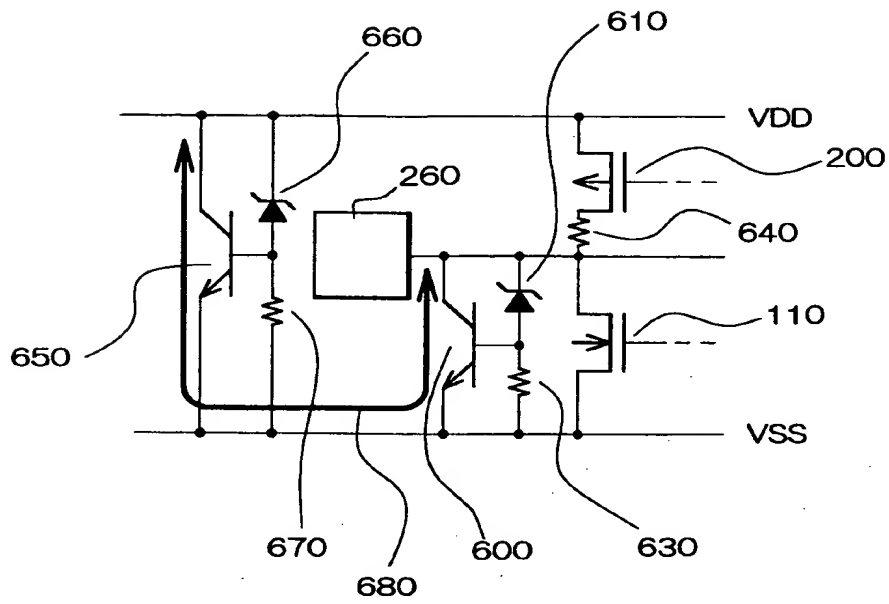
【图 28】



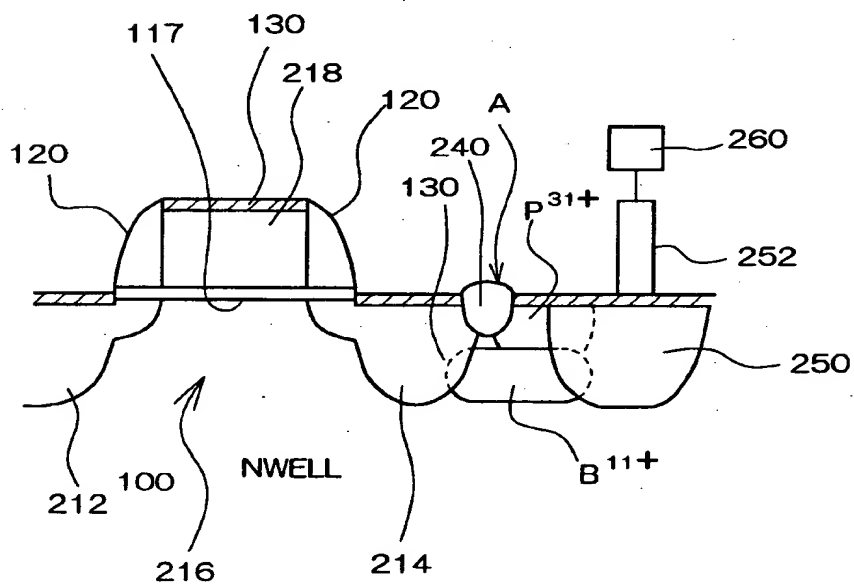
【图 29】



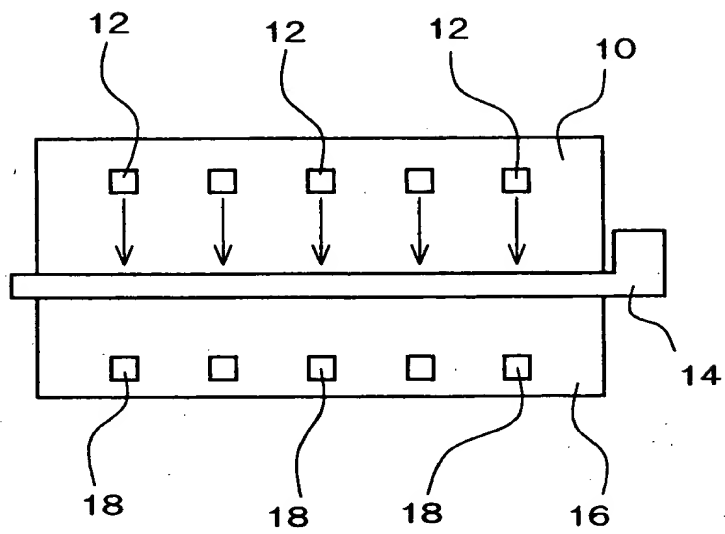
【図 30】



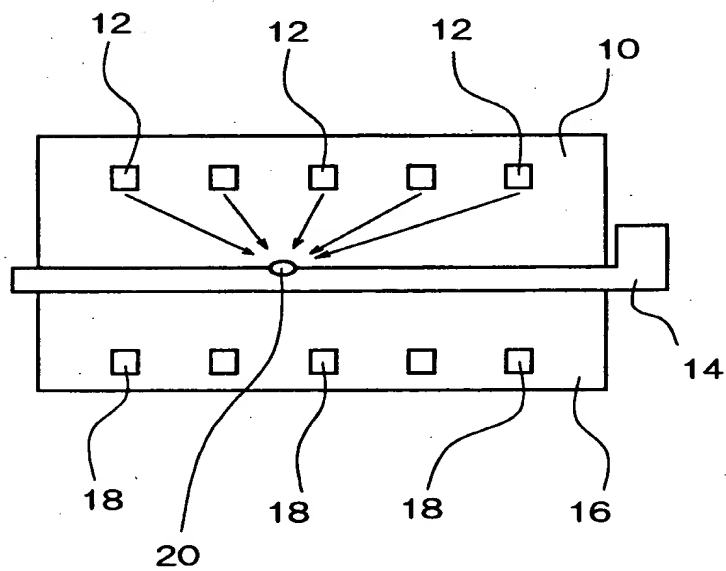
【図 31】



【図 32】



【図 33】



【書類名】 要約書

【要約】

【課題】 シリサイド層を通過してホットスポットに電流集中することを回避できる静電気保護回路が内蔵された半導体装置及びその製造方法を提供すること。

【解決手段】 半導体基板 1 0 0 上には第 1 の拡散領域 3 0 0 で素子分離された複数のシリサイド N 型 MOS トランジスタ 1 1 0 が設けられる。この MOS トランジスタ 1 1 0 の静電気保護回路として、NPN ラテラルバイポーラトランジスタ 1 5 0 と、ツェナーダイオード 1 6 0 とが設けられる。NPN ラテラルバイポーラトランジスタ 1 5 0 は、2 つの第 2 の素子分離領域 1 4 0, 1 4 2 にて分離された領域に形成される第 2 の拡散領域 1 5 2, 1 5 4, 1 5 6 と、P 型 WEL L にて構成される。ツェナーダイオード 1 6 0 は、MOS トランジスタ 1 1 0 の第 1 の拡散領域 1 1 2 と第 3 の拡散領域 (B^{11} 拡散領域) との P/N 接合で構成される。ツェナーダイオード 1 6 0 のブレイクダウン開始電圧 V_2 は、MOS トランジスタ 1 1 0 のブレイクダウン開始電圧 V_1 より低く設定される。シリサイド層 1 3 0 と第 3 の拡散領域 (B^{11} 拡散領域) との間に、シリサイド層 1 3 0 と共にショートキークダイオードを形成する第 4 の拡散領域 (P^{31} 拡散領域) がさらに設けられる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社